

UNIVERSITÉ DE SHERBROOKE
Faculté de génie
Département de génie électrique et de génie informatique

Réalisation d'un convertisseur
temps-numérique en CMOS 65 nm pour une
intégration par pixel dans un module de
comptage monophotonique

Mémoire de maîtrise
Spécialité : génie électrique

Nicolas ROY

Jury : Jean-François PRATTE (directeur)
Réjean FONTAINE (codirecteur)
Sébastien ROY
Serge CHARLEBOIS

À tous ceux qui auront le courage de lire ce document :)

RÉSUMÉ

Les applications nécessitant une grande précision temporelle sont de plus en plus nombreuses, notamment lorsqu'elles requièrent des mesures par temps de vol, c'est-à-dire de mesurer le temps de propagation de la lumière ou de particules. La télémétrie laser et certaines modalités d'imagerie médicale dont la tomographie d'émission par positrons (TEP) en sont des exemples. Ces applications requièrent l'attribution d'étampes temporelles aux photons détectés, tout en assurant une précision temporelle exceptionnelle. Le Groupe de Recherche en Appareillage Médical de Sherbrooke (GRAMS) développe des scanners TEP visant à intégrer des mesures par temps de vol pour améliorer le contraste des images. Pour ce faire, une partie du GRAMS (GRAMS3D) se concentre sur la réalisation de modules de comptage monophotoniques (MCMP) à grande précision temporelle pour intégrer les prochaines générations de scanners TEP. D'autres projets pourraient également se concrétiser dans les prochaines années, dont l'intégration des MCMP du GRAMS dans le Grand Collisionneur de Hadrons (Large Hadron Collider, LHC) au CERN pour des expériences en physique des hautes énergies. Pour atteindre de tels niveaux de performances, le MCMP se compose d'une matrice de photodiodes à avalanche monophotoniques intégrée en 3D avec l'électronique frontale et l'électronique de traitement de l'information. Certains MCMP n'utilisent qu'un seul convertisseur temps-numérique (CTN) pour une matrice de photodétecteurs, limitant le nombre d'étampes temporelles disponibles en plus d'obtenir un temps de propagation différent entre chacun des pixels et le CTN. Pour surpasser ces inconvénients, une autre approche consiste à intégrer un CTN à chacun des pixels. C'est dans cette perspective que le présent ouvrage se concentrera sur le CTN implanté dans chacun des pixels de $50 \times 50 \mu m^2$ du MCMP développé au GRAMS. Le CTN proposé est basé sur une architecture vernier à étage unique afin d'obtenir une excellente résolution et une linéarité indépendante des variations de procédé. Sa taille de $25 \times 50 \mu m^2$ et sa consommation de $163 \mu W$ en font un excellent choix pour une implantation matricielle. Le CTN, calibré en temps réel grâce à une boucle à verrouillage de phase numérique, a démontré une résolution de 14,4 ps avec une non-linéarité intégrale (INL)/non-linéarité différentielle (DNL) de 3,3/0,35 LSB et une précision temporelle inférieure à $27 ps_{rms}$. Les résultats obtenus prouvent qu'il est possible de concilier d'excellentes résolution et précision temporelles avec de très faibles dimensions et consommation.

Mots-clés : Convertisseur temps-numérique, Boucle à verrouillage de phase numérique, Intégration 3D, Module de comptage monophotonique, Temps de vol, Tomographie d'émission par positrons, Télémétrie laser.

REMERCIEMENTS

Je ne pourrais clore ma maîtrise sans remercier tous ceux qui m'ont soutenu et encouragé. Tout d'abord, merci à mon directeur, Jean-François Pratte, pour tes nombreuses idées, ton énergie contagieuse, tes encouragements et ta rigueur scientifique. Tu es un grand motivateur qui nous aide à nous surpasser durant les moments critiques. Merci à mon codirecteur, Réjean Fontaine, pour ton calme et ton soutien durant les moments plus difficiles. Tes fameux « pourquoi ? » nous ramènent à la base et sont d'excellents exercices de compréhension. Merci pour tous tes conseils de vulgarisation qui sont très utiles, surtout lors des courtes présentations de 2 minutes. Merci à vous deux pour votre soutien moral, académique et financier. Je l'apprécie beaucoup !

Merci également à mes collègues de travail, Frédéric Nolet et Marc-Olivier Mercier, avec qui j'ai eu la chance de travailler en équipe pour réaliser notre circuit intégré tant attendu. Fred, merci d'avoir fait l'avocat du diable tant de fois. Ça prend un gars comme toi pour s'assurer que le projet tienne la route. Merci pour ton aide avant, durant et après la soumission. Tu as tout le potentiel nécessaire pour devenir un grand chercheur et professeur universitaire. Marco, merci pour ton travail et pour ton aide à amener ce projet à destination. Tu es le gars le plus serviable que je connaisse et personnellement, je l'apprécie beaucoup. Good luck dans tes projets futurs ! Merci à Marc-André Tétrault pour ton aide très précieuse durant la soumission. Merci à Frédéric Dubois pour ton aide à trouver les problèmes du CTN et pour en faire une deuxième révision. C'est toujours agréable de voir une continuité dans nos travaux. Merci à tous les membres du GRAMS pour votre soutien, vos discussions et pour la saison de balle-molle. C'était très agréable. Et un merci tout spécial à la Suède, au Parti conservateur et à l'Office québécois de la langue française qui ont été au coeur de tant de débats.

Un gros merci à Katerine et mon petit bonhomme Olivier qui ont enduré mes absences durant les trois dernières années. Votre présence est essentielle à mon équilibre mental et affectif. Kate, merci pour tous tes encouragements et ton appui dans mes décisions :). Oli, merci pour ton beau sourire et pour me changer les idées. Ta joie de vivre est contagieuse ! Merci également à mes parents qui nous ont beaucoup aidés avec Olivier !

Finalement, merci à tous les organismes subventionnaires qui ont cru à ce projet. Merci aux CRSNG, FRQNT, ReSMiQ, CMC Microsystèmes qui nous ont permis de réaliser ce projet. Merci aux lecteurs qui prendront quelques heures de leur temps à lire ce document et qui, je l'espère, les guidera dans leur projet.

TABLE DES MATIÈRES

1	INTRODUCTION	1
1.1	Mise en contexte	1
1.2	Objectifs	4
1.3	Plan du document	4
2	ÉTAT DE L'ART	5
2.1	Applications à temps de vol	5
2.1.1	Télémétrie laser	5
2.1.2	Tomographie d'émission par positrons (TEP)	7
2.1.3	Conclusion	8
2.2	Types de photodétecteurs	9
2.2.1	Tubes photomultiplicateurs (TPM)	9
2.2.2	Tubes photomultiplicateurs à microcanaux (MCP-TPM)	9
2.2.3	Photodiodes à avalanche (PDA)	10
2.2.4	Photodiodes à avalanche monophotoniques (PAMP)	11
2.3	Architectures et performances des CTN	14
2.3.1	Résolution	17
2.3.2	Précision	18
2.3.3	Linéarité	19
2.3.4	Fréquence de conversion	21
2.3.5	Plage dynamique	21
2.3.6	Consommation et dimensions	21
2.3.7	Calibration	22
2.3.8	Conclusion	23
3	CONCEPTION	25
3.1	Convertisseur temps-numérique (CTN)	25
3.1.1	Prélogique	27
3.1.2	Oscillateurs	28
3.1.3	Circuit de coïncidence	34
3.1.4	Compteurs	38
3.1.5	Intégration	39
3.2	Boucle à verrouillage de phase numérique (dPLL)	41
3.2.1	Diviseurs	42
3.2.2	Détecteur de phase/fréquence (PFD) de type bang-bang	42
3.2.3	Contrôleur de gain dynamique	44
3.2.4	Convertisseur numérique-analogique (CNA)	46
3.2.5	Oscillateur	48
3.2.6	Intégration	49
3.3	Conclusion	50

4	MATÉRIEL ET MÉTHODOLOGIE	51
4.1	Matériel	51
4.1.1	Circuits imprimés	51
4.1.2	Équipements	54
4.2	Logiciels	55
4.2.1	FPGA	55
4.2.2	Interface graphique	55
4.2.3	Matlab	56
4.3	Caractéristiques du CTN	57
4.3.1	Résolution	57
4.3.2	Linéarité	58
4.3.3	Précision	59
4.3.4	Fréquence de conversion	61
4.3.5	Consommation	61
4.3.6	Plage dynamique	62
4.3.7	Caractéristiques des oscillateurs	62
5	RÉSULTATS ET DISCUSSIONS	63
5.1	Précision	63
5.1.1	Gigue temporelle du CTN1	65
5.1.2	Gigue temporelle du CTN2	67
5.2	Linéarité	69
5.2.1	Linéarité du CTN1	70
5.2.2	Linéarité du CTN2	73
5.3	Résolution temporelle	76
5.3.1	Histogrammes du CTN1	77
5.3.2	Histogrammes du CTN2	79
5.4	Fréquence de conversion	80
5.4.1	CTN1	81
5.4.2	CTN2	82
5.5	Consommation	82
5.6	Plage dynamique	83
5.7	Caractéristiques des oscillateurs	83
5.8	Matrice des CTN	86
5.9	Améliorations et recommandations	87
5.9.1	CTN	87
5.9.2	dPLL	87
5.10	Conclusion	88
6	CONCLUSION	89
A	ENTRÉES/SORTIES DU ASIC	91
	LISTE DES RÉFÉRENCES	95

LISTE DES FIGURES

2.1	Principe du temps de vol	6
2.2	Principe du temps de vol en TEP	7
2.3	Tube Photomultiplicateur (TPM) conventionnel	10
2.4	Tube Photomultiplicateur à microcanaux (MCP-TPM)	10
2.5	Mode opératoire d'une photodiode à avalanche monophotonique (PAMP) .	11
2.6	Photomultiplicateur sur silicium (SiPM)	12
2.7	Module de comptage monophotonique (MCMP)	13
2.8	Schéma bloc et chronogramme d'un CTA	14
2.9	Schéma bloc et chronogramme d'une ligne à délais simple	15
2.10	Schéma bloc et chronogramme d'un CTN vernier	16
2.11	Configuration en anneau	17
2.12	Définition de la INL	20
2.13	Définition de la DNL	20
3.1	Schéma bloc du CTN	26
3.2	Chronogramme du CTN	26
3.3	Chronogramme du circuit de prélogique	28
3.4	Comparaison entre un oscillateur différentiel et pseudo-différentiel	29
3.5	Schéma des oscillateurs	32
3.6	Éléments à délais des oscillateurs	33
3.7	Dessin des masques des oscillateurs	34
3.8	Chronogramme du circuit de coïncidence	35
3.9	Arrivée du signal d'arrêt à l'intérieur et hors de la région de correction . .	36
3.10	Schéma de l'arbitre	37
3.11	Chronogramme de l'arbitre	37
3.12	Dessin des masques d'un pixel	39
3.13	Chronogramme du sérialiseur	40
3.14	Dessin des masques du ASIC	40
3.15	Schéma bloc de la dPLL	41
3.16	Fonctions de transfert des différents détecteurs de phase	43
3.17	Schéma du PFD de type bang-bang	44
3.18	Chronogramme du PFD de type bang-bang	44
3.19	Chronogramme du contrôleur de gain dynamique	45
3.20	Schéma du CNA	46
3.21	Fonction de transfert du CNA (simulation)	47
3.22	Schéma des masques du CNA	47
3.23	1) Différence de période entre les oscillateurs lent et rapide et 2) Fréquence de l'oscillateur lent en fonction des codes de contrôles (simulations)	48
3.24	Fréquence de l'oscillateur asservi par la dPLL (simulations)	49
3.25	Dessin des masques de la dPLL	50

4.1	Schéma du montage de tests	51
4.2	Circuit imprimé de la carte d'interface et de la carte d'acquisition	52
4.3	Diagramme de microcâblage et empreinte du ASIC	53
4.4	Gigue temporelle entre les signaux de départ et d'arrêt à l'entrée du ASIC	54
4.5	Générateur de délais	54
4.6	Oscilloscope Agilent 13 GHz	55
4.7	Interface graphique pour contrôler le ASIC	56
4.8	Histogrammes des codes attendus selon la méthode de densité de codes	58
4.9	Précision du CTN (écart-type des codes)	60
4.10	Précision du CTN (déconvolution)	60
4.11	Précision du CTN attendue en fonction des codes	61
4.12	Consommation normalisée du CTN	62
5.1	Gigue temporelle (mesurée) du CTN1 (dPLL activée) selon les méthodes d'écart-type des codes et de déconvolution	65
5.2	Codes du CTN1 (dPLL activée) en fonction des délais du générateur	65
5.3	Gigue temporelle (mesurée) du CTN1 (dPLL désactivée) selon les méthodes d'écart-type des codes et de déconvolution	66
5.4	Codes du CTN1 (dPLL désactivée) en fonction des délais du générateur	66
5.5	Gigue temporelle moyenne du CTN2 en fonction de sa résolution	67
5.6	Gigue temporelle (mesurée) du CTN2 selon les méthodes d'écart-type des codes et de déconvolution.	67
5.7	Codes du CTN2 en fonction des délais du générateur	68
5.8	Fonction de transfert du CTN1 (dPLL activée)	70
5.9	Non-linéarité différentielle (DNL) du CTN1 (dPLL activée)	71
5.10	Non-linéarité intégrale (INL) du CTN1 (dPLL activée)	71
5.11	Fonction de transfert du CTN1 (dPLL désactivée)	72
5.12	Non-linéarité différentielle (DNL) du CTN1 (dPLL désactivée)	72
5.13	Non-linéarité intégrale (INL) du CTN1 (dPLL désactivée)	73
5.14	Fonction de transfert du CTN2	73
5.15	Non-linéarité différentielle (DNL) du CTN2	74
5.16	Non-linéarité intégrale (INL) du CTN2	74
5.17	Non-linéarité différentielle (DNL) du CTN2 (en ps et en LSB) en fonction de sa résolution	75
5.18	Non-linéarité intégrale (INL) du CTN2 (en ps et en LSB) en fonction de sa résolution	75
5.19	Histogramme des codes du CTN1 (dPLL activée) sans ajustement	77
5.20	Histogramme des codes du CTN1 (dPLL activée) avec ajustement	77
5.21	Histogramme des codes du CTN1 (dPLL désactivée) sans ajustement	78
5.22	Histogramme des codes du CTN1 (dPLL désactivée) avec ajustement	78
5.23	Histogramme des codes du CTN2 sans ajustement	79
5.24	Histogramme des codes du CTN2 avec ajustement	79
5.25	Histogramme du temps de conversion du CTN1 (dPLL activée) incluant le sérialiseur	81

5.26	Histogramme du temps de conversion du CTN1 (dPLL désactivée) incluant le sérialiseur	81
5.27	Histogramme du temps de conversion du CTN2 incluant le sérialiseur . . .	82
5.28	Consommation du CTN2 en fonction du taux d'événements	83
5.29	Fréquence de l'oscillateur asservi par la dPLL (mesures et simulations) . .	84
5.30	Caractéristiques de l'oscillateur rapide selon différentes configurations . . .	85
5.31	Caractéristiques de l'oscillateur lent selon différentes configurations	86
A.1	Pins du ASIC	91

LISTE DES TABLEAUX

3.1	Récapitulation des performances visées par le CTN	25
5.1	Précision des CTN	63
5.2	Linéarité des CTN	69
5.3	Résolution temporelle des CTN	76
5.4	Temps de conversion maximal des CTN	80
5.5	Récapitulation des performances désirées et des mesures	88
5.6	Comparaison des CTN dans la littérature	88

LISTE DES ACRONYMES

Acronyme	Définition
ASIC	Circuit intégré à application spécifique (<i>Application-Specific Integrated Circuit</i>)
BP	Bande passante
CAN	Convertisseur analogique-numérique
CERN	Organisation européenne pour la Recherche nucléaire
CMOS	<i>Complementary Metal Oxide Semi-Conductor</i>
CNA	Convertisseur numérique-analogique
CTA	Convertisseur temps-amplitude
CTN	Convertisseur temps-numérique
DLL	Boucle à verrouillage de délais (<i>Delay-Locked Loop</i>)
DNL	Non-linéarité différentielle (<i>Differential Non-Linearity</i>)
dPLL	Boucle à verrouillage de phase numérique (<i>Digital Phase-Locked Loop</i>)
ENIG	<i>Electroless Nickel Immersion Gold</i>
ESD	Décharge électrostatique (<i>Electrostatic Discharge</i>)
FDG	Fluorodésoxyglucose
FPGA	Matrice de portes programmables (<i>Field-Programmable Gate Array</i>)
GRAMS	Groupe de recherche en appareillage médical de Sherbrooke
INL	Non-linéarité intégrale (<i>Integral Non-Linearity</i>)
LHC	Grand collisionneur de hadrons (<i>Large Hadron Collider</i>)
LIDAR	Détection et télémétrie par ondes lumineuses (<i>Light Detection and Ranging</i>)
LMH	Largeur à mi-hauteur
LSB	Bit de poids faible (<i>Least Significant Bit</i>)
LVDS	Transmission différentielle basse-tension (<i>Low Voltage Differential Signaling</i>)
MCMP	Module de comptage monophotonique
MCP-TPM	Tube photomultiplicateur à microcanaux (<i>Microchannel Plate - Photomultiplier Tube</i>)
PAMP	Photodiode à avalanche monophotonique
PCB	Circuit imprimé (<i>Printed Circuit Board</i>)
PD	Détecteur de phase (<i>Phase Detector</i>)
PDA	Photodiode à avalanche
PFD	Détecteur de phase/fréquence (<i>Phase/Frequency Detector</i>)
PLL	Boucle à verrouillage de phase (<i>Phase-Locked Loop</i>)
PVT	Procédé-tension-température (<i>Process-Voltage-Temperature</i>)
RMS	Valeur efficace (<i>Root Mean Square</i>)
SiPM	Photomultiplicateur sur silicium (<i>Silicon Photomultiplier</i>)
SRAM	Mémoire vive statique (<i>Static Random Access Memory</i>)
TDV	Temps de vol

TEP	Tomographie d'émission par positrons
TPM	Tube photomultiplicateur
TSMC	Taiwan Semiconductor Manufacturing Company
UART	<i>Universal Asynchronous Receiver Transmitter</i>

CHAPITRE 1

INTRODUCTION

1.1 Mise en contexte

Il est possible d'en gagner ou d'en perdre. Beaucoup veulent l'arrêter, d'autres l'accélérer. Certains souhaitent le maîtriser. Le temps est un concept fondamental dont personne ne peut faire abstraction. Cela fait des millénaires que l'être humain cherche à le mesurer. Les premières civilisations de l'Antiquité se fiaient à la position du soleil pour organiser leurs déplacements, leurs actions. Ils évaluaient la période de la journée à l'aide d'un gnomon, un objet fixe dont la longueur et la direction de l'ombre créée par le soleil servaient à déterminer l'heure de la journée [17, 52]. Bien entendu, la précision était très limitée, mais les gens s'en accommodaient. Puis, vient ensuite un instrument un peu plus évolué : le cadran solaire. Fonctionnant selon le même principe que le gnomon, il ajoute cependant une échelle graduée. Une journée était subdivisée en 12 heures de jour et 12 heures de nuit, créant ainsi des heures inégales dont la durée changeait en fonction des saisons [17]. Les astronomes de l'époque ont par la suite subdivisé les heures en minutes et en secondes, maintenant à la base du système international (SI) pour mesurer le temps¹.

Les instruments de mesures temporelles basés sur le mouvement de la Terre n'étaient cependant pas très pratiques. Pour mesurer des intervalles de temps, les civilisations égyptiennes de l'Antiquité utilisaient ce qu'on appelle une clepsydre, récipient gradué évasé et percé au fond (principe de l'entonnoir) dans lequel de l'eau à l'intérieur s'écoulait à une certaine vitesse. Ce même principe a d'ailleurs été repris plusieurs siècles plus tard avec le sablier, encore parfois utilisé de nos jours. Ces instruments ne mesurent toutefois que de courts intervalles de temps tout en ayant une précision restreinte, notamment pour la clepsydre qui est tributaire de la température à laquelle elle est utilisée (évaporation et gel de l'eau selon les saisons) [17, 52].

Au Moyen Âge, le style de vie des moines et leurs prières périodiques favorisaient l'apparition d'un nouvel instrument de mesure du temps : l'horloge mécanique. Cet instrument,

¹Bien entendu, la seconde, définie en premier lieu comme la fraction $1/86\,400$ du jour solaire moyen, n'était pas suffisamment précise dû aux irrégularités de la rotation de la Terre. En 1968, la seconde prit la définition suivante : « La seconde est la durée de $9\,192\,631\,770$ périodes de la radiation correspondant à la transition entre les deux niveaux hyperfins de l'état fondamental de l'atome de césium 133. » [32]

basé sur le principe d'un balancier qui régularise la chute d'un poids et par le fait même la rotation des aiguilles de l'horloge, devient l'instrument de prédilection à cette époque pour mesurer le temps. Des mécanismes de sonnerie (cloches) sont souvent insérés à l'intérieur des horloges pour annoncer le temps. Des horloges sont érigées sur les clochers, annonçant le temps aux artisans et commerçants. L'horloge est alors le symbole de la vie urbaine et le temps devient un pouvoir économique important [17, 52].

Le début de la Renaissance est marqué par la miniaturisation de l'horloge en remplaçant le poids des horloges mécaniques par un ressort, donnant naissance à la montre. Au 17^e siècle, afin d'améliorer la précision des horloges et des montres, le néerlandais Christiaan Huygens met au point le pendule dans les grandes horloges, ainsi que le balancier à ressort spiral dans les montres [28]. La régulation des oscillations par le ressort spiral permet de diminuer considérablement le retard de la montre, passant de quelques minutes de retard par jour à quelques secondes. Au 18^e siècle, l'horloger John Harrison mit au point une horloge à grande précision (moins d'une seconde de retard par année) résistante aux roulis et aux variations de température. De telles performances favorisent la navigation outre-mer en déterminant avec exactitude la longitude en comparant l'heure du méridien de départ avec l'heure de la position actuelle². Le méridien de Greenwich, au Royaume-Uni, devient plus tard la référence internationale de la longitude [17].

Vers la fin du 19^e siècle, l'effet piézoélectrique fut découvert par Pierre Curie. Le quartz, matériau piézoélectrique, a la propriété d'osciller à une fréquence bien précise, lorsqu'excité par un courant électrique. Ceci a permis, quelques dizaines d'années plus tard, à créer la première horloge à quartz. Ce matériau est encore utilisé de nos jours dans de nombreux appareils électroniques, dont les horloges et les montres, grâce à sa très bonne précision (moins d'une seconde d'imprécision par année) et à sa petite taille. Puis, vient ensuite l'horloge atomique vers le milieu du 20^e siècle, qui utilise le césium 133 afin d'asservir la fréquence d'oscillation d'un quartz. C'est d'ailleurs ce type d'horloge qui détient les meilleures précisions temporelles actuellement, pouvant atteindre une variation inférieure à 1 seconde en plus de 15 milliards d'années [53], soit plus que l'âge estimé de l'Univers ! C'est également ce type d'horloge qui fournit la définition actuelle de la seconde selon le système international (SI) [17, 52].

En quelques millénaires, l'être humain est parvenu à améliorer ses outils de mesures temporelles, de quelques heures de précision au tout début à près d'un trillième de seconde maintenant. Ces avancées exceptionnelles ouvrent la porte à de nouvelles applications, nécessitant à la fois de grandes performances temporelles et une miniaturisation accrue.

²La Terre étant de 360°, 1h correspond à 15°.

Il n'est évidemment pas possible d'utiliser une horloge atomique afin de satisfaire à la fois taille et performances. De nouvelles technologies de mesures temporelles doivent nécessairement être pensées et repensées.

De nos jours, de nombreuses applications requièrent des mesures par temps de vol (TDV), c'est-à-dire de mesurer le temps de propagation de la lumière ou de particules. La télémétrie laser et certaines modalités d'imagerie médicale dont la tomographie d'émission par positrons (TEP) en sont des exemples. Ces applications requièrent l'attribution d'étampes temporelles aux photons détectés, tout en assurant une précision temporelle exceptionnelle. Le Groupe de Recherche en Appareillage Médical de Sherbrooke (GRAMS) développe des scanners TEP visant à intégrer des mesures par TDV pour améliorer le contraste des images. Pour ce faire, une partie du GRAMS (GRAMS3D) se concentre sur la réalisation de modules de comptage monophotoniques (MCMP) à grande précision temporelle qui seront intégrés dans les prochaines générations de scanners TEP. Plusieurs autres projets nécessitant des mesures par TDV sont également sur la table et pourraient se concrétiser dans les prochaines années, dont l'intégration des MCMP du GRAMS dans le Grand Collisionneur de Hadrons (Large Hadron Collider, LHC) au CERN pour des expériences en physique des hautes énergies.

Pour atteindre de tels niveaux de performances, le MCMP se compose d'une matrice de photodiodes à avalanche monophotoniques (PAMP) intégrée en 3D avec l'électronique frontale et l'électronique de traitement de l'information. Certains MCMP n'utilisent qu'un seul outil de numérisation temporelle nommé convertisseur temps-numérique (CTN) pour une matrice de photodétecteurs. Ceci limite le nombre d'étampes temporelles disponibles en plus d'obtenir un temps de propagation différent entre chacun des pixels et le CTN. Pour surpasser ces inconvénients, une autre approche consiste à intégrer un CTN à chacun des pixels. C'est dans cette perspective que le présent ouvrage se concentrera sur le CTN implanté dans chacun des pixels de $50 \times 50 \mu m^2$ du MCMP développé au GRAMS. Ce document répondra notamment à la question suivante :

Comment est-il possible de concevoir et implanter un CTN par pixel de $50 \times 50 \mu m^2$ en TSMC CMOS 65 nm dans la prochaine génération de module de comptage monophotonique du GRAMS ?

1.2 Objectifs

L'objectif principal du projet consiste à concevoir et implanter un CTN par pixel de $50 \times 50 \mu m^2$ en TSMC CMOS 65 nm dans la prochaine génération de module de comptage monophotonique du GRAMS. Pour y arriver, les objectifs spécifiques sont les suivants :

- Obtenir une résolution temporelle inférieure à 5 ps.
- Assurer une précision temporelle inférieure à 5 ps_{rms} .
- Assurer une taille du circuit inférieure à $25 \times 50 \mu m^2$.
- Assurer une puissance consommée inférieure à 150 μW .
- Assurer une non-linéarité différentielle (DNL) inférieure à 0,5 LSB.
- Assurer une non-linéarité intégrale (INL) inférieure à 1 LSB.
- Intégrer une calibration du CTN afin de réduire la sensibilité face aux variations de procédé, de tension d'alimentation et de température (PVT).
- Avoir des structures de tests pour la caractérisation des CTN.

1.3 Plan du document

Ce document fera un tour d'horizon, au chapitre 2, des applications et de leurs photodétecteurs utilisés lors des mesures par temps de vol. Les critères de performance des CTN seront examinés, ainsi que les avantages et inconvénients de certaines architectures. Ensuite, au chapitre 3, la conception du CTN et de son outil de calibration sera abordée, suivie de la méthodologie et du matériel nécessaire pour l'acquisition des mesures au chapitre 4. Enfin, les résultats expérimentaux seront présentés au chapitre 5, de même que les améliorations possibles pour une prochaine révision. Chacun des critères de performance sera analysé et comparé avec l'état de l'art.

CHAPITRE 2

ÉTAT DE L'ART

Les mesures par temps de vol (TDV) sont de plus en plus courantes dans de nombreuses applications, dont la télémétrie laser et la tomographie d'émission par positrons (TEP). Dans le premier cas, elles permettent des mesures de distances et dans l'autre cas, améliorent le contraste de l'image. La précision des mesures par TDV est directement liée aux performances temporelles des photodétecteurs et du convertisseur temps-numérique (CTN). C'est en ce sens que ce chapitre décrira d'abord les applications et leurs photodétecteurs. Par la suite, afin d'aider le lecteur à comprendre la conception du CTN au prochain chapitre, les différentes architectures des CTN et leurs performances seront décrites.

2.1 Applications à temps de vol

2.1.1 Télémétrie laser

La télémétrie laser, aussi appelée LIDAR, permet de mesurer la distance entre des objets et une source référentielle : un laser. Elle est utilisée par exemple pour la réalisation de cartes topographiques en établissant un profil tridimensionnel du terrain [30], pour déterminer l'affaissement des lignes de transmission électrique à haute tension [1], ou encore dans les domaines de la construction et des sports. La télémétrie laser utilise le temps de vol pour mesurer la durée que prend la lumière à parcourir un aller-retour entre la source lumineuse et l'objet distant. La figure 2.1 présente le principe des mesures par temps de vol. Pour effectuer ces mesures, le laser fournit à un CTN une impulsion électrique synchronisée avec l'impulsion lumineuse envoyée vers l'objet. Cette impulsion lumineuse, complètement ou partiellement réfléchi par l'objet, est captée par un photodétecteur, puis discriminée temporellement pour fournir le signal d'arrêt au convertisseur temps-numérique [64]. L'information à la sortie du CTN correspond donc à la durée de l'aller-retour du trajet, permettant ainsi de calculer la distance entre la source et l'objet selon l'équation 2.1 [64].

$$d = \frac{c \cdot t}{2} \quad (2.1)$$

où :

- d : distance de la cible
- c : vitesse de propagation de la lumière dans le milieu
- t : temps de transit

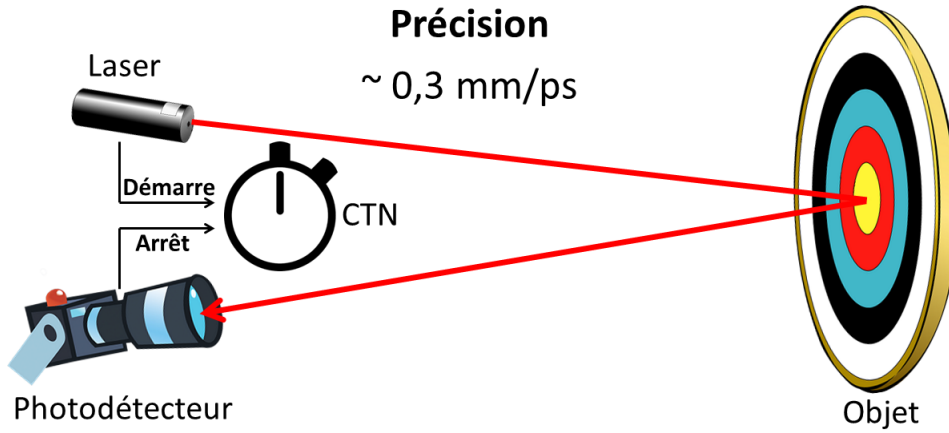


Figure 2.1 Principe du temps de vol

Comme indiqué à la figure 2.1, une précision temporelle d'une picoseconde procure une précision spatiale de 0,3 mm. Cependant, il est possible d'améliorer la précision du TDV en effectuant plusieurs mesures identiques et en moyennant le résultat. La précision s'en retrouve améliorée d'un facteur \sqrt{N} , où N correspond au nombre de mesures effectuées.

Certains systèmes utilisent une matrice de photodétecteurs permettant d'obtenir directement une image à partir d'une seule impulsion lumineuse [31, 73]. Pour ce faire, les mesures sont réalisées grâce à une matrice de CTN. Le système utilisé par [73] utilise une matrice de photodiodes à avalanche monophotoniques (PAMP) où chaque pixel intègre un convertisseur temps-numérique d'une résolution de 312 ps, correspondant à une résolution spatiale de 94 mm. Le module de comptage monophotonique développé par le GRAMS permettra d'améliorer la résolution spatiale des images à quelques millimètres avec une résolution temporelle d'une dizaine de picosecondes. Ces performances permettront par exemple la reconstruction 3D d'une pièce, ou encore la reconstruction de l'environnement pour des véhicules autonomes.

2.1.2 Tomographie d'émission par positrons (TEP)

La tomographie d'émission par positrons (TEP) est une modalité d'imagerie médicale utilisée en médecine nucléaire pour observer l'activité métabolique d'un patient. Elle consiste en l'injection d'un radiotraceur, constitué d'un isotope radioactif couplé à une molécule assimilable par l'organe cible. Un radiotraceur souvent utilisé est le Fluorodésoxyglucose (FDG), constitué d'une molécule de glucose à laquelle on a substitué un groupement hydroxyle par le radioisotope 18 du fluor (^{18}F). Ce radiotraceur est utilisé en oncologie puisque les cellules cancéreuses ont un métabolisme plus actif comparativement aux cellules saines. La radioactivité est alors davantage concentrée dans les zones cancéreuses, représentant un changement de contraste au niveau de l'image TEP. Le rôle du radioisotope est de générer un positron¹ qui s'annihile avec un électron environnant. Le résultat de l'annihilation produit une paire de photons d'annihilation de 511 keV chacun, à 180° l'un de l'autre [10]. En détectant les paires de photons d'annihilation à l'aide d'un anneau de photodétecteurs jumelés à des scintillateurs pour convertir les photons à haute énergie en photons visibles, on peut tracer plusieurs lignes de réponses et ainsi reconstruire l'image. Toutefois, cette méthode ne permet pas de localiser l'annihilation sur la ligne de réponse. En effectuant des mesures par temps de vol, il devient alors possible de localiser l'annihilation sur les lignes de réponses. Ceci a pour effet d'améliorer le rapport signal sur bruit de l'image [66] et d'obtenir un meilleur contraste [38]. La figure 2.2 présente le temps de vol en TEP.

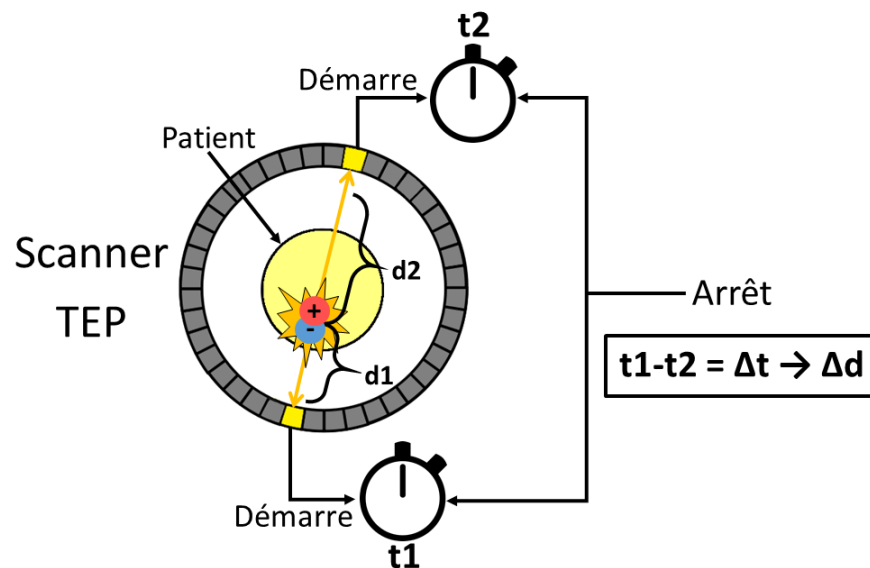


Figure 2.2 Principe du temps de vol en TEP

¹Particule d'antimatière associée à l'électron, de même masse et de charge égale, mais opposée (positive).

Présentement, les mesures par TDV sont très limitées, voire inexistantes dans les scanners TEP précliniques puisque le champ de vue de l'image est beaucoup plus petit que la résolution spatiale du TDV. En effet, la résolution temporelle en coïncidence (avec un scintillateur dépassant les 10 mm de longueur) avoisine les 150 ps (largeur à mi-hauteur, LMH), représentant une résolution spatiale de quelques dizaines de mm [62]. Actuellement, les limitations proviennent principalement des scintillateurs [62]. De nouvelles avenues sont étudiées par certains groupes de recherche afin de développer de nouveaux scintillateurs offrant une résolution temporelle d'une dizaine de picosecondes grâce à l'émission de photons rapides (Cherenkov, luminescence intrabande et émission spontanée de points quantiques [18, 43]). Pour obtenir de tels résultats, le détecteur devra attribuer une étampe temporelle aux premiers photons émis par le scintillateur, en plus d'assurer une précision temporelle sous la dizaine de picosecondes. Ceci sera possible grâce à :

- 1) L'intégration d'une matrice de CTN dans un détecteur TEP pour fournir les étampes temporelles aux premiers photons émis par le scintillateur.
- 2) L'intégration 3D des modules de comptage monophotoniques afin de conserver une surface photosensible des détecteurs d'au moins 50 % pour augmenter les probabilités de détection des premiers photons.

Ces détecteurs serviront à mesurer les performances des nouveaux scintillateurs et à augmenter le contraste des images TEP grâce au temps de vol dans les prochaines générations de scanners. Ils pourront également être utilisés pour d'autres expériences en physique des hautes énergies nécessitant de bonnes précisions temporelles, par exemple dans le Grand Collisionneur de Hadrons au CERN.

2.1.3 Conclusion

Un module de comptage monophotonique où les détecteurs et les CTN sont organisés en matrice comporte plusieurs avantages pour les applications décrites. Pour la télémétrie laser, une organisation matricielle permettra d'obtenir directement une image à partir d'une seule impulsion laser. De plus, l'amélioration de la résolution temporelle augmentera la résolution spatiale des images. Dans le cas de la TEP, une architecture matricielle augmentera la résolution temporelle du scanner. Ceci permettra d'inclure des mesures par temps de vol afin d'améliorer le contraste des images. Un des éléments critiques pour fournir des étampes de temps précises demeure le photodétecteur. C'est dans cette optique que la prochaine section fera un tour d'horizon des photodétecteurs généralement utilisés pour réaliser des mesures par temps de vol.

2.2 Types de photodétecteurs

Les applications mentionnées ci-haut justifient l'intérêt d'avoir un module de photodétection à grande précision temporelle où chaque photodétecteur possède son propre convertisseur temps-numérique. Le photodétecteur est un élément critique pour la précision temporelle du module de comptage monophotonique. Cette section traitera des performances des principaux types de photodétecteurs pour des mesures par temps de vol. Ces photodétecteurs peuvent être classés en deux grandes catégories, selon qu'ils soient fabriqués à partir de semiconducteur (photodiodes à avalanche (PDA) et photodiodes à avalanche monophotoniques (PAMP)) ou non (tubes photomultiplicateurs (TPM) et tubes photomultiplicateurs à microcanaux (MCP-TPM)). Leur fonctionnement est détaillé dans les prochains paragraphes.

2.2.1 Tubes photomultiplicateurs (TPM)

Les tubes photomultiplicateurs (TPM) sont des dispositifs utilisés couramment dans les scanners cliniques TEP [76], pour la tomographie optique diffuse [36] ou encore en instrumentation pour la détection de radiation [41]. Ils tirent profit du phénomène d'ionisation par impact lorsque les photoélectrons, issus de la photocathode, entrent en contact avec les dynodes polarisées [41] (figure 2.3). Lorsque les électrons arrivent à l'anode, un courant proportionnel à l'intensité lumineuse est produit. Ces photodétecteurs sont utilisés pour des applications à très faible luminosité puisqu'ils possèdent des gains très élevés pouvant atteindre 10^6 [10]. Grâce à leur gain élevé, ils possèdent un très bon rapport signal sur bruit. Par contre, en plus d'être sensibles aux champs magnétiques et d'être beaucoup plus volumineux que les dispositifs sur semiconducteurs, les tubes photomultiplicateurs possèdent une efficacité de détection se situant généralement sous les 50 % [2, 3]. Finalement, le chemin parcouru par les électrons à l'intérieur du tube est relativement long, causant une dispersion temporelle accrue comparativement aux photodétecteurs plus compacts fabriqués à partir de semiconducteurs. La précision temporelle de ce type de photodétecteur descend rarement sous quelques centaines de picosecondes [41, 76]. Pour obtenir de meilleures précisions temporelles, certains utilisent plutôt des tubes photomultiplicateurs à microcanaux.

2.2.2 Tubes photomultiplicateurs à microcanaux (MCP-TPM)

Les tubes photomultiplicateurs à microcanaux (MCP-TPM) fonctionnent selon le même principe que les TPM conventionnels. Cependant, les microcanaux permettent une dimi-

nution du chemin parcouru par les électrons, réduisant grandement leur dispersion temporelle [3] (figure 2.4). Ils peuvent atteindre des précisions temporelles comparables à celles des photodiodes à avalanche monophotoniques, de l'ordre de quelques dizaines de picosecondes [3, 44, 81]. Toutefois, ils demeurent volumineux, sensibles aux champs magnétiques et très coûteux [81]. Les photodétecteurs sur semiconducteurs permettent de pallier certains de ces inconvénients.

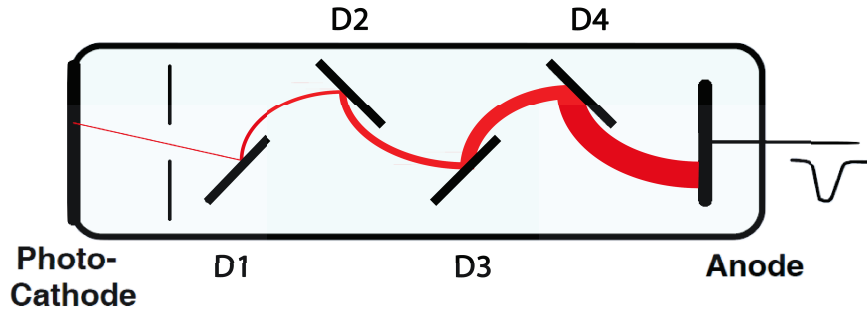


Figure 2.3 Tube Photomultiplicateur (TPM) conventionnel [3]

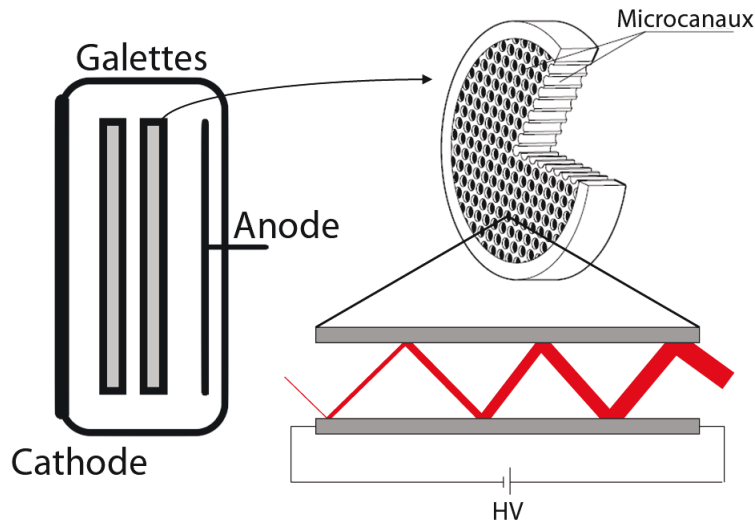


Figure 2.4 Tube Photomultiplicateur à microcanaux (MCP-TPM) [3, 23]

2.2.3 Photodiodes à avalanche (PDA)

Les photodiodes à avalanche (PDA) sont des dispositifs fabriqués à partir de semiconducteur utilisés notamment dans les scanners TEP précliniques [4] et dans les réflectomètres optiques [16]. Elles ont l'avantage d'être beaucoup plus petites que les TPM, d'être insensibles aux champs magnétiques et d'avoir une efficacité de détection avoisinant les

80 % [41]. Les PDA utilisent une jonction PN polarisée en inverse avec une tension élevée où le gain reste relativement stable en fonction des variations de température, sans toutefois dépasser la tension de claquage du dispositif. Cette haute tension produit un champ électrique intense dans la zone de déplétion, attirant les porteurs libres créés par des photons incidents à la zone active. L'énergie des porteurs libres devient alors assez grande pour créer de nouvelles paires électrons-trous grâce au phénomène d'ionisation par impact. Ceux-ci créeront à leur tour d'autres paires électrons-trous, engendrant ainsi un effet d'avalanche [41]. Leur gain n'est cependant pas très important comparativement aux tubes photomultiplicateurs, avoisinant quelques centaines tout au plus [10, 41, 81]. Elles possèdent donc un rapport signal sur bruit plus faible, nécessitant une électronique à très faible bruit [10]. De plus, elles peuvent atteindre une précision temporelle d'environ 150 ps_{LMH} [39], ne permettant pas d'égaler celle des MCP-TPM. Pour pallier ces inconvénients, des photodiodes à avalanche monophotoniques peuvent être utilisées.

2.2.4 Photodiodes à avalanche monophotoniques (PAMP)

Les photodiodes à avalanche monophotoniques (PAMP) sont en émergence dans beaucoup d'applications puisqu'elles proposent une excellente précision temporelle. Elles offrent, entre autres, une meilleure efficacité de détection que les TPM, pouvant atteindre 70 % [75], tout en permettant une miniaturisation accrue. À l'instar des photodiodes à avalanche, les PAMP utilisent une jonction PN polarisée en inverse. Toutefois, contrairement aux PDA, elles sont opérées en mode Geiger, c'est-à-dire qu'elles sont polarisées au-delà de leur tension de claquage. Ainsi, un photon unique peut, à lui seul, générer une avalanche en créant une paire électron-trou. Le courant devient alors si intense qu'un circuit d'étouffement est nécessaire pour contrôler la PAMP [12, 19]. Son principe de fonctionnement est représenté à la figure 2.5.

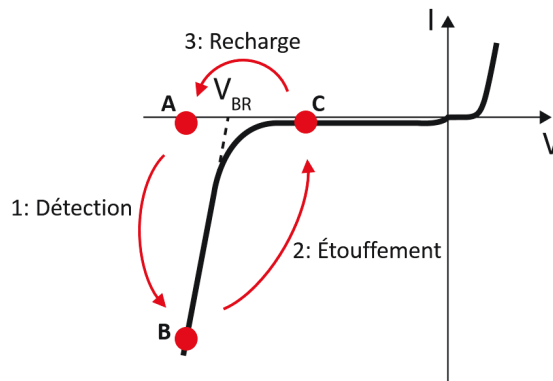


Figure 2.5 Mode opératoire d'une photodiode à avalanche monophotonique (PAMP) [68]

Ce type de photodétecteur peut rejoindre, voire dépasser les performances temporelles des MCP-TPM en obtenant une précision temporelle aussi basse que 20 ps_{LMH} [12, 27, 81]. Par contre, la sortie n'est pas proportionnelle à l'intensité lumineuse. Pour mesurer cette caractéristique, on doit plutôt mesurer le taux d'événements par seconde, ou encore disposer de plusieurs PAMP en parallèle.

Photomultiplicateur sur silicium (SiPM)

La mise en parallèle des PAMP est fréquemment utilisée pour obtenir un photodétecteur où le signal de sortie est proportionnel à l'intensité lumineuse. Ce type d'architecture bénéficie d'une surface photosensible élevée en minimisant l'électronique pour l'opérer. En effet, l'étouffement des PAMP se fait passivement sur le noeud de sortie correspondant à l'addition analogique de chacune des PAMP déclenchées (figure 2.6) [24, 70]. Cette architecture, quoique très simple et peu coûteuse, limite la précision temporelle atteignable puisque l'électronique de mesure n'est pas à une distance égale de tous les photodétecteurs. De plus, la capacité du noeud de sortie devient rapidement élevée en augmentant le nombre de PAMP, limitant la précision temporelle du photodétecteur [78].

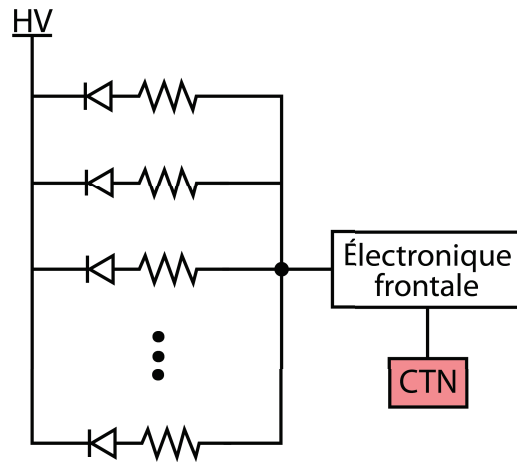


Figure 2.6 Photomultiplicateur sur silicium (SiPM)

Module de comptage monophotonique (MCMP)

Une autre approche consiste à utiliser un module de comptage monophotonique (MCMP) où chaque PAMP est connectée à un convertisseur temps-numérique (figure 2.7) [7, 19]. Cette configuration permet une meilleure précision temporelle en assurant l'équidistance entre les photodétecteurs et le CTN et en diminuant la capacité de sortie de la PAMP comparativement à un SiPM [6]. Les MCMP permettent d'obtenir plusieurs étampes temporelles simultanément, un grand avantage pour les applications mentionnées préalablement. Toutefois, le gros problème de ce type de détecteur est sa faible surface photosensible [70].

En effet, davantage d'électronique est requise pour les circuits de contrôle, de mesure et de traitement de l'information, ne laissant que très peu d'espace pour la PAMP. Pour contrer ce problème, le GRAMS tente d'intégrer en 3D les photodétecteurs avec l'électronique afin d'offrir un maximum de fonctionnalités tout en maintenant une surface photosensible d'au moins 50 % [6].

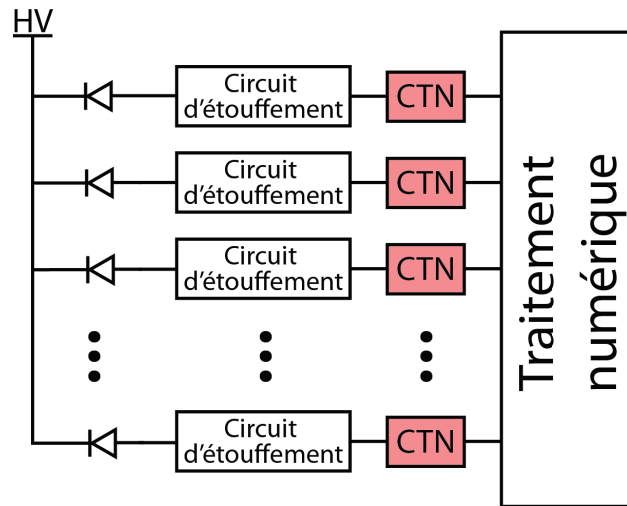


Figure 2.7 Module de comptage monophotonique (MCMP)

Conclusion

Les caractéristiques des photodétecteurs influencent directement les performances des mesures par temps de vol. Le photodétecteur recherché doit offrir une excellente précision temporelle ainsi qu'une grande efficacité de détection. De plus, il doit pouvoir être mis en matrice pour profiter des avantages énoncés à la section 2.1. Le seul type de photodétecteur qui offre tous ces avantages est le module de comptage monophotonique 3D. En effet, il se compose d'une intégration matricielle où chaque PAMP comporte son propre convertisseur temps-numérique pour fournir une étampe temporelle à chaque photon détecté. C'est le photodétecteur qui a le potentiel d'offrir la meilleure précision temporelle et son intégration en 3D assure une surface de détection d'au moins 50 %. Toutefois, le CTN intégré à chacun des pixels doit concilier une faible taille avec d'excellentes performances temporelles. La prochaine section présentera les caractéristiques des CTN, de même que les différentes architectures. Ceci permettra de mieux comprendre les choix de conception du CTN présentés au chapitre 3.

2.3 Architectures et performances des CTN

Un convertisseur temps-numérique (CTN) est un chronomètre numérique et permet donc de mesurer un intervalle de temps entre un signal de départ et un signal d'arrêt. Dans le cas d'une implantation matricielle où chaque pixel possède une taille de $50 \times 50 \mu m^2$, le CTN doit nécessairement être de petite taille et avoir une consommation minimale. Ses performances sont fortement liées au type d'architecture utilisé. Les prochains paragraphes présenteront les principaux types d'architectures de CTN et leurs performances (résolution, précision, linéarité, fréquence de conversion, plage dynamique, consommation et dimensions).

Convertisseur temps-amplitude (CTA)

Les convertisseurs temps-amplitude (CTA) mesurent un intervalle de temps grâce à la charge d'un condensateur par un courant constant durant la mesure. La tension analogique est proportionnelle au délai mesuré et peut être numérisée à l'aide d'un convertisseur analogique-numérique (CAN) [13]. La figure 2.8 illustre son fonctionnement.

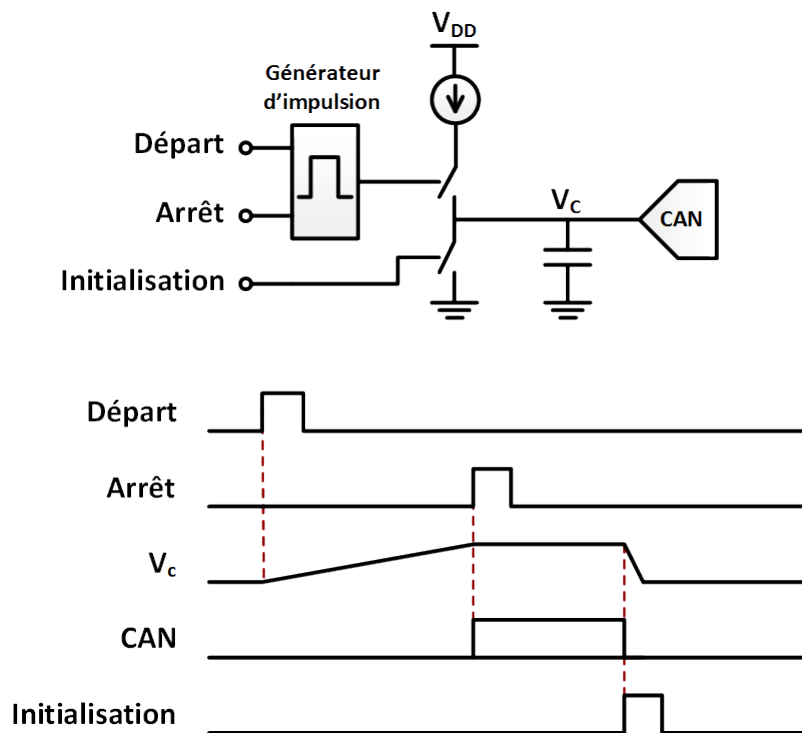


Figure 2.8 Schéma bloc et chronogramme d'un CTA

Ligne à délais simple

La ligne à délais simple utilise une série d'éléments à délais pour retarder le signal de départ (figure 2.9). Lorsque le signal d'arrêt survient, l'état de la ligne à délais est figé et le code thermométrique, converti en temps ultérieurement, est disponible. Sa résolution correspond au délai d'un élément [65].

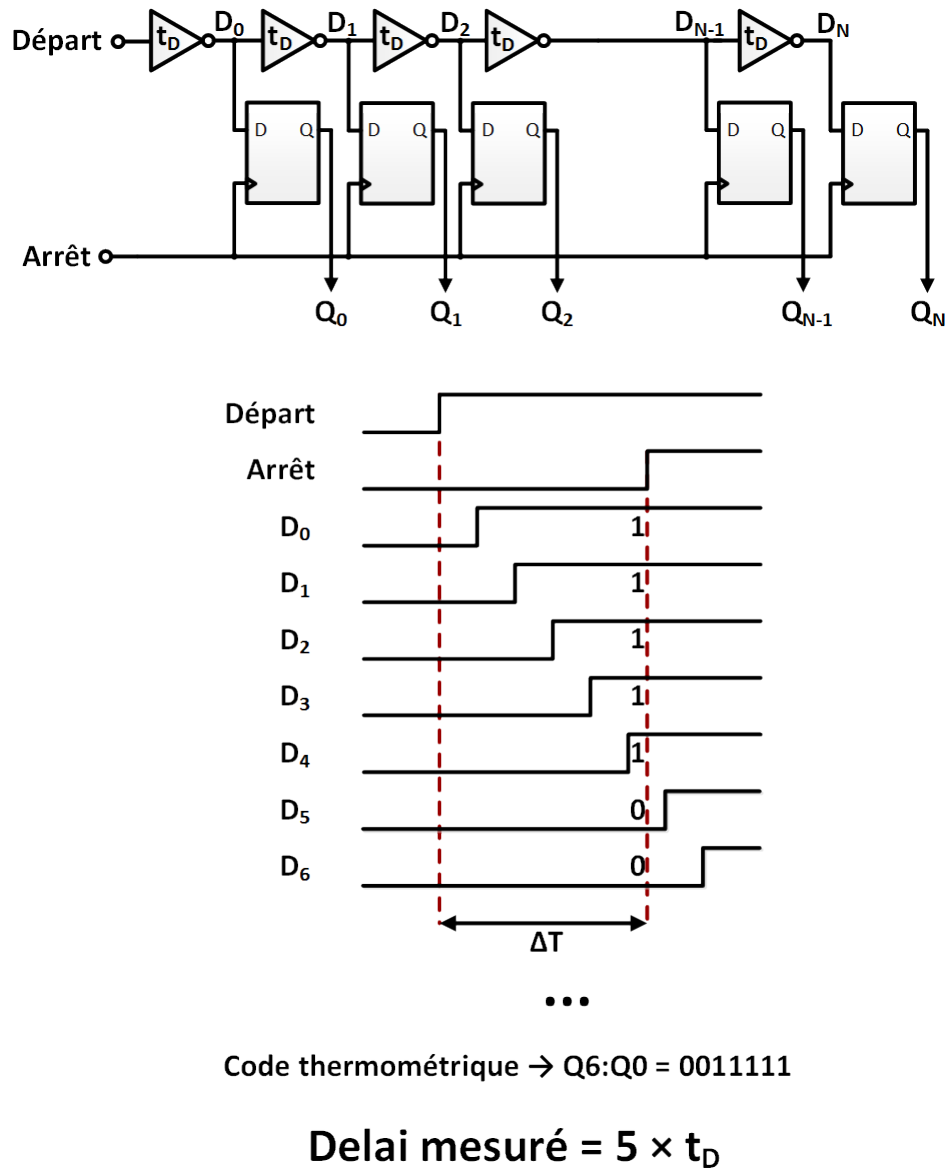


Figure 2.9 Schéma bloc et chronogramme d'une ligne à délais simple [25]

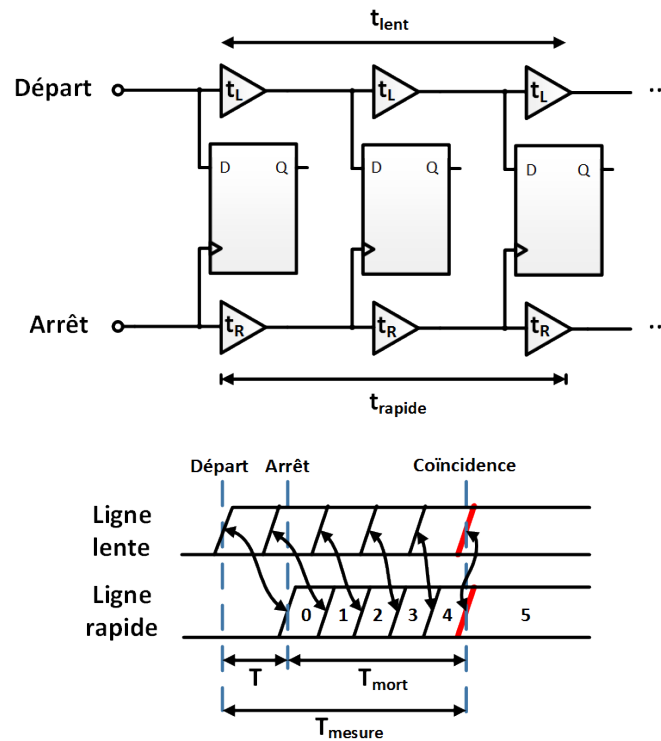
CTN vernier

Les CTN vernier sont utilisés pour obtenir une résolution temporelle au-delà d'une ligne à délais simple. Pour cela, deux lignes à délais sont utilisées, une légèrement plus rapide que l'autre. Lorsque le signal de départ arrive, la ligne à délais lente s'active et propage une impulsion. Lorsque le signal d'arrêt survient, la ligne à délais rapide se déclenche et propage une impulsion à son tour. Le code est disponible au moment où il y a une coïncidence, c'est-à-dire lorsque la ligne à délais rapide rattrape la ligne à délais lente. Sa résolution correspond à la différence des délais entre les deux lignes à délais selon l'équation 2.2 [14]. La figure 2.10 illustre son fonctionnement.

$$\text{Résolution}_{\text{vernier}} = T_{\text{lent}} - T_{\text{rapide}} \quad (2.2)$$

où :

- T_{lent} : Délai d'un élément lent
- T_{rapide} : Délai d'un élément rapide



$$\text{Délai mesuré} = 5 \times (t_L - t_R)$$

Figure 2.10 Schéma bloc et chronogramme d'un CTN vernier [25]

Architecture en anneau

Une architecture en anneau n'est ni plus ni moins qu'une ligne à délais dans laquelle le nombre d'éléments est réduit et dont la sortie boucle sur l'entrée (figure 2.11) [60]. Ce type d'architecture peut être appliqué autant à une ligne à délais simple qu'à un CTN de type vernier.

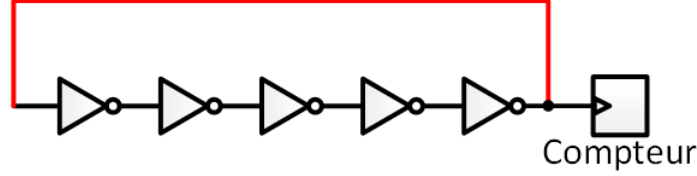


Figure 2.11 Configuration en anneau

2.3.1 Résolution

La résolution correspond à la plus petite valeur de délai mesurable par le CTN et se définit comme le bit de poids faible (LSB). On peut établir une relation entre la résolution, le nombre de niveaux de quantification et la plage dynamique selon l'équation 2.3 [25].

$$T_{LSB} = \frac{T_{ref}}{N} \quad (2.3)$$

où :

- T_{LSB} : Résolution (LSB)
- T_{ref} : Plage dynamique
- N : Nombre de niveaux de quantification

Les convertisseurs temps-amplitude [13, 36] et les CTN vernier [48, 57, 71, 80] sont probablement les architectures qui offrent les meilleures résolutions, pouvant atteindre quelques picosecondes. Certains CTN vont utiliser ce qu'on appelle un amplificateur temporel [8] à leur entrée pour amplifier le délai afin d'améliorer leur résolution. Bien que la majorité des amplificateurs temporels ne possèdent qu'une plage dynamique linéaire de quelques dizaines, voire centaines de picosecondes, une plage dynamique de 2 ns a été rapportée [42].

La ligne à délais simple [54, 60], quant à elle, permet des résolutions plus modestes, pouvant atteindre environ une cinquantaine de picosecondes. La limitation vient du fait que les délais utilisés ne peuvent pas descendre sous un certain seuil qui dépend de la technologie utilisée et de la charge capacitive reliée à chacune des sorties.

2.3.2 Précision

La précision du CTN correspond à l'incertitude de sa mesure. Elle est particulièrement critique lors de mesures uniques (par exemple sur la mesure temporelle d'un seul photon) comparativement à des mesures statistiques où un moyennage des données est possible. La précision est dépendante de la quantité de bruit dans le CTN et de la pente de ses signaux selon l'équation 2.4 [78]. La stabilité des alimentations et certains choix judicieux lors de la conception des masques du circuit intégré (capacités, « Deep NWell ») peuvent minimiser le bruit dans le circuit. De plus, il est généralement souhaitable d'avoir des pentes rapides pour minimiser l'imprécision temporelle.

$$\sigma_t = \frac{\sigma_{bruit}}{dv/dt} \quad (2.4)$$

où :

- σ_t : Précision temporelle RMS
- σ_{bruit} : Bruit RMS en Volt
- dV/dt : Pente au point de discrimination

Dans un circuit, plusieurs sources d'imprécisions temporelles sont présentes. Ces sources d'imprécisions, si elles ne sont pas corrélées entre elles, s'additionnent en quadrature selon l'équation 2.5. Il faut donc s'assurer de minimiser chacune des sources d'imprécisions temporelles.

$$\sigma_{Tot} = \sqrt{\sigma_1^2 + \sigma_2^2 + \dots + \sigma_n^2} \quad (2.5)$$

La précision atteignable avec un CTN est dépendante de l'architecture utilisée. Les architectures vernier possèdent une bonne immunité face aux variations d'alimentations et de températures puisque les deux boucles à délais sont généralement près l'une de l'autre, subissant les mêmes variations [80]. Cependant, plus la mesure est longue, moins bonne sera la précision temporelle puisque le signal traversera davantage d'unités à délais [82]. Les CTA, quant à eux, doivent utiliser une source de courant à très faible bruit et très stable face aux variations d'alimentations et de températures pour espérer avoir une bonne précision temporelle. Ceci exige une consommation élevée et une taille importante.

2.3.3 Linéarité

La linéarité du CTN, exprimée en multiples de LSB, peut être divisée en deux catégories : la non-linéarité intégrale (INL) et la non-linéarité différentielle (DNL). La INL correspond à la déviation de la fonction de transfert réelle par rapport à la fonction de transfert idéale (figure 2.12) et peut être exprimée par l'équation 2.6 [58]. La DNL, quant à elle, correspond à la déviation de la largeur de chacun des niveaux de quantification par rapport à la largeur idéale de 1 LSB (figure 2.13). Elle peut être exprimée par l'équation 2.7 [58].

$$INL = \frac{T(i) - i \times T_{LSB}}{T_{LSB}}, \quad \forall i = 0 \dots (N - 1) \quad (2.6)$$

$$DNL = \frac{T(i + 1) - T(i)}{T_{LSB}} - 1, \quad \forall i = 0 \dots (N - 2) \quad (2.7)$$

où :

- i : Niveau de quantification évalué
- $T(i)$: Valeur temporelle de la transition entre i et $i + 1$
- T_{LSB} : Largeur de 1 LSB
- N : Nombre de niveaux de quantification

La linéarité des CTN est généralement dépendante des variations de procédé. Il est donc important de veiller à garder un bon pairage des composants et à utiliser des spécifications de composants permettant de diminuer l'impact des variations de procédé, notamment en choisissant un bon dimensionnement des composants et en utilisant le principe de copie/translation des transistors [5].

Certaines configurations sont plus propices à offrir de bonnes linéarités. Une configuration en anneau présente habituellement une meilleure linéarité qu'une ligne à délais simple puisque les délais utilisés dans la chaîne reviennent en boucle, limitant le nombre d'éléments différents [25]. Il faut cependant porter une attention particulière à la rétroaction de la sortie vers l'entrée puisque ce délai est généralement plus long que celui entre chacune des unités à délai, contribuant à la détérioration de la linéarité du CTN [25]. Les configurations analogiques, quant à elles, sont très dépendantes de la stabilité de la source de courant pour la charge du condensateur [36] et de la linéarité intrinsèque du CAN.

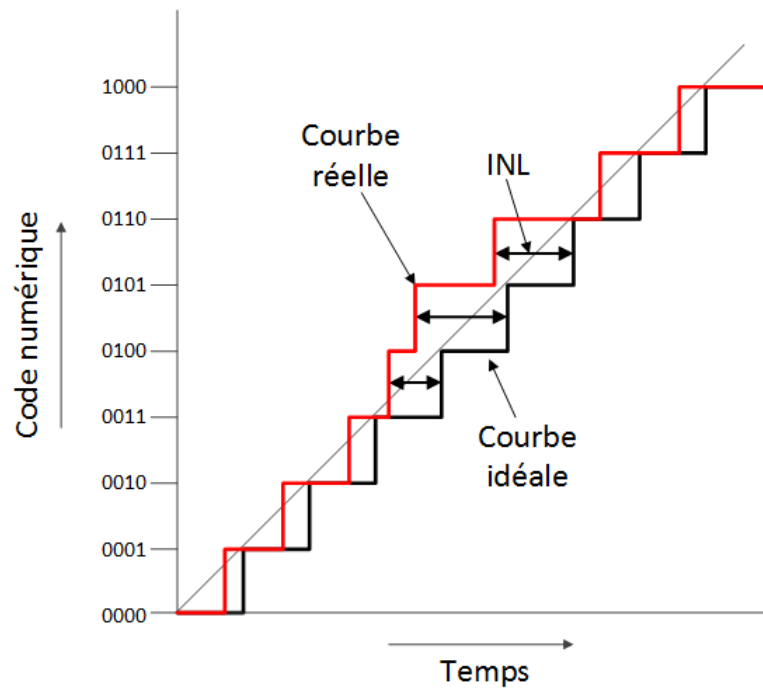


Figure 2.12 Définition de la INL [58]

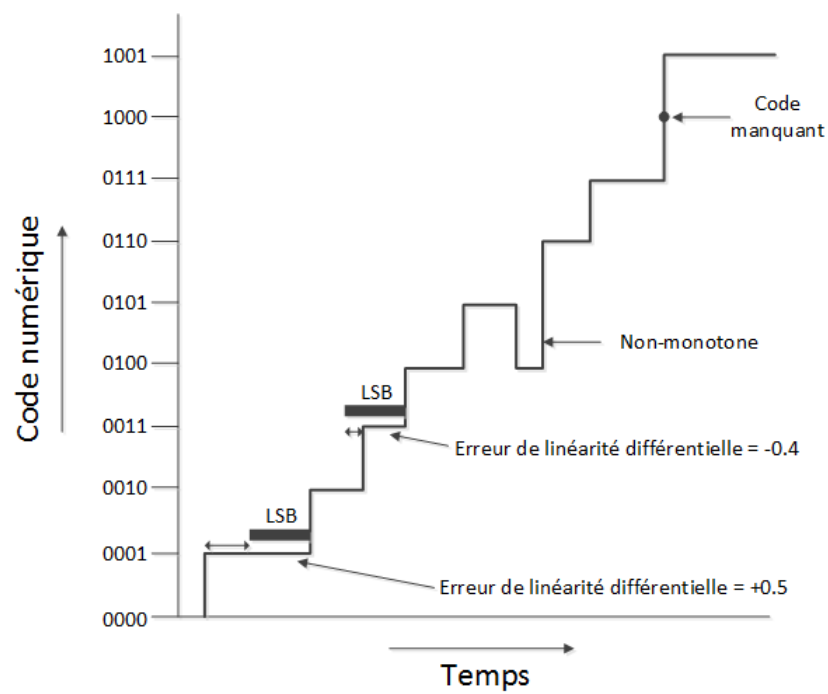


Figure 2.13 Définition de la DNL [58]

2.3.4 Fréquence de conversion

La fréquence de conversion d'un CTN détermine le nombre de mesures réalisables par seconde. Elle varie généralement de quelques MHz à quelques dizaines de MHz (tableau 5.6). La fréquence de conversion dépend du temps mort à respecter entre chacune des mesures. Ce temps mort se compose d'un temps de conversion, d'un temps de post-traitement et d'un temps de remise à zéro. Il varie donc énormément en fonction du type d'architecture utilisé.

Les architectures vernier offrent généralement une fréquence de conversion plus basse que d'autres architectures [46], car un certain temps (qui dépend d'ailleurs de la résolution) est requis entre l'arrivée du signal d'arrêt et la fin de la conversion (la coïncidence). Les lignes à délais simples possèdent de plus grandes fréquences de conversion, car le résultat est disponible directement à la réception du signal d'arrêt [35]. Les circuits analogiques, quant à eux, ont une fréquence de conversion limitée par la constante de temps lors de la décharge du condensateur et par le temps de conversion du CAN. Dans toutes les architectures, il ne faut pas oublier le temps de post-traitement, donc du transfert du résultat vers une mémoire externe. Il faut donc attendre que les données soient transférées avant d'effectuer la remise à zéro, contribuant à l'augmentation du temps mort global.

2.3.5 Plage dynamique

La plage dynamique d'un CTN correspond au délai maximal mesurable. Pour atteindre une plage dynamique importante, les architectures sont généralement réalisées en anneau, utilisant un compteur pour comptabiliser le nombre de cycles effectués [25, 60]. De plus, un compteur global est souvent utilisé pour augmenter la plage dynamique en comptant le nombre de fronts d'horloge. Avec ce type d'architecture, une interpolation entre les fronts d'horloge est réalisée grâce à un CTN à plus grande résolution [35]. C'est donc souvent la profondeur des compteurs qui dicte la plage dynamique totale du CTN.

2.3.6 Consommation et dimensions

La consommation et les dimensions sont habituellement dépendantes de la résolution et de la plage dynamique du CTN. La consommation est également dépendante de la fréquence d'opération, de la tension d'alimentation et de la technologie utilisée selon l'équation 2.8 [74]. Par exemple, augmenter la fréquence des transitions pour réduire les délais dans une ligne à délais simple provoque une augmentation de la consommation du CTN.

$$P = C \times V_{dd}^2 \times f \quad (2.8)$$

où :

- P : Puissance dynamique consommée par une unité à délai
- C : Capacité vue à la sortie d'une unité à délai
- V_{dd} : Tension d'alimentation
- f : Fréquence des transitions

Un CTN vernier consomme généralement davantage qu'une ligne à délais simple puisqu'il nécessite deux boucles à délais au lieu d'une seule, en plus d'augmenter les dimensions requises [63]. Une grande plage dynamique requiert également une plus grande profondeur des compteurs, augmentant la taille du circuit. Les CTA, quant à eux, ont des dimensions assez grandes puisque le condensateur occupe une surface importante. Les dimensions du condensateur varient en fonction de la constante de temps requise (donc de la valeur de la capacité) et se calculent selon l'équation 2.9 [11]. De plus, la source de courant doit fonctionner sans arrêt durant la charge du condensateur, ce qui augmente la consommation contrairement aux délais numériques qui consomment surtout lors des transitions.

$$C = A \frac{\varepsilon}{d} \quad (2.9)$$

où :

- C : Valeur de la capacité
- A : Aire du condensateur
- ε : Permittivité du diélectrique
- d : Distance entre les deux conducteurs

2.3.7 Calibration

La calibration des CTN est souvent nécessaire pour uniformiser leurs performances lors d'une implantation par pixel. En effet, puisqu'ils sont tous situés à des endroits distincts,

les variations de procédé, de tensions d'alimentation et de températures² causent des changements de performance ne pouvant être négligés.

Certains CTN utilisent une calibration automatique en utilisant une boucle à verrouillage de phase (PLL) [9] ou une boucle à verrouillage de délais (DLL) [37, 49]. Pour fonctionner, la PLL ou la DLL compare la phase d'une horloge de référence avec la phase de l'oscillateur du CTN et génère une tension proportionnelle au déphasage. Cette tension assure une correction des délais du CTN pour ajuster sa fréquence d'oscillation. Ces méthodes, lorsqu'utilisées indépendamment dans chacun des CTN, assurent une indépendance face aux variations PVT [9]. Par contre, en plus d'augmenter la consommation globale, le circuit nécessite des dimensions importantes puisqu'il est utilisé généralement avec un filtre passe-bas capacitif nécessaire pour ralentir les variations du signal de contrôle à la sortie [9].

Une autre méthode consiste en une linéarisation de la fonction de transfert du CTN en y appliquant une correction logicielle grâce à une table de valeurs pour chaque code. Ceci nécessite toutefois la caractérisation du CTN au préalable et n'est donc pas très efficace pour une production à grande échelle. De plus, cette méthode ne permet pas une indépendance face aux variations de tensions d'alimentation et de températures puisqu'elles peuvent varier en cours d'utilisation.

2.3.8 Conclusion

Pour concevoir une matrice de CTN où chaque pixel correspond à $50 \times 50 \mu m^2$, il est primordial d'utiliser une architecture qui permettra de minimiser sa taille et sa consommation. De plus, les CTN doivent offrir d'excellentes résolution et précision temporelles pour améliorer les mesures par temps de vol dans les applications telles que la télémétrie laser et la tomographie d'émission par positrons. Un CTN vernier permet d'obtenir d'excellentes résolutions temporelles et c'est probablement l'architecture avec le plus de potentiel pour une intégration matricielle. Le prochain chapitre présentera la conception d'un CTN vernier à étage unique, ainsi que les techniques pour miniaturiser sa taille et diminuer sa consommation. La conception d'une boucle à verrouillage de phase numérique sera également présentée pour la calibration des CTN.

²La capacité thermique ainsi que la résistance thermique forment une constante de temps thermique pouvant être aussi basse que quelques microsecondes [58]. Il peut donc y avoir des écarts de température importants entre différentes régions du circuit intégré.

CHAPITRE 3

CONCEPTION

Ce chapitre présente la conception du convertisseur temps-numérique (CTN) et de la boucle à verrouillage de phase numérique (dPLL) en TSMC CMOS 65 nm. La dPLL permettra une calibration en temps réel des CTN pour assurer une uniformité matricielle. Le tableau 3.1 présente la récapitulation des performances visées par le CTN.

Tableau 3.1 Récapitulation des performances visées par le CTN

	Résolution	Précision	INL/DNL (LSB)	Taille	Consommation
Objectifs	5 ps	$< 5 p_{s_{rms}}$	1/0,5	$25 \times 50 \mu m^2$	$150 \mu W$

3.1 Convertisseur temps-numérique (CTN)

Le chapitre précédent a démontré les avantages d’une architecture matricielle des CTN. Les performances temporelles ont également été au coeur des discussions, autant au niveau du photodétecteur que du CTN. En considérant les performances visées par le CTN, une architecture vernier à étage unique a été choisie. Ce type de CTN a le potentiel d’atteindre d’excellentes résolutions temporelles (inférieures au délai d’une porte logique) tout en minimisant sa taille. De plus, chaque cycle d’oscillateur correspond à un code distinct, signifiant que les variations de procédé influencent tous les codes de la même manière. Ceci signifie que les variations de procédé n’ont aucun impact sur la linéarité du CTN. Toutefois, lors d’une implantation matricielle, les variations de procédé demeurent une préoccupation importante, car elles font varier l’uniformité des CTN. C’est d’ailleurs une des raisons pour laquelle une calibration est requise.

Dans un système complet, le signal d’arrêt correspond à l’horloge système (250 MHz dans le cas présent) afin de fournir la même référence temporelle à tous les CTN. Ceci établit donc la plage dynamique du CTN à 4 ns (période de l’horloge). Les applications nécessitent souvent une plage dynamique accrue et c’est pour cette raison qu’un compteur de cycles d’horloge est généralement utilisé, augmentant la plage dynamique selon la profondeur du compteur. Ce dernier fournit donc une étampe temporelle grossière d’une résolution équivalente à la période de l’horloge. Ensuite, à cette étampe temporelle grossière est ajoutée une étampe temporelle fine correspondant au résultat du CTN à grande résolution. La figure 3.1 présente le schéma bloc du CTN. Il est séparé en 4 blocs qui vous seront présentés

en détail dans cette section : la prélogique, les oscillateurs, le circuit de coïncidence et les compteurs.

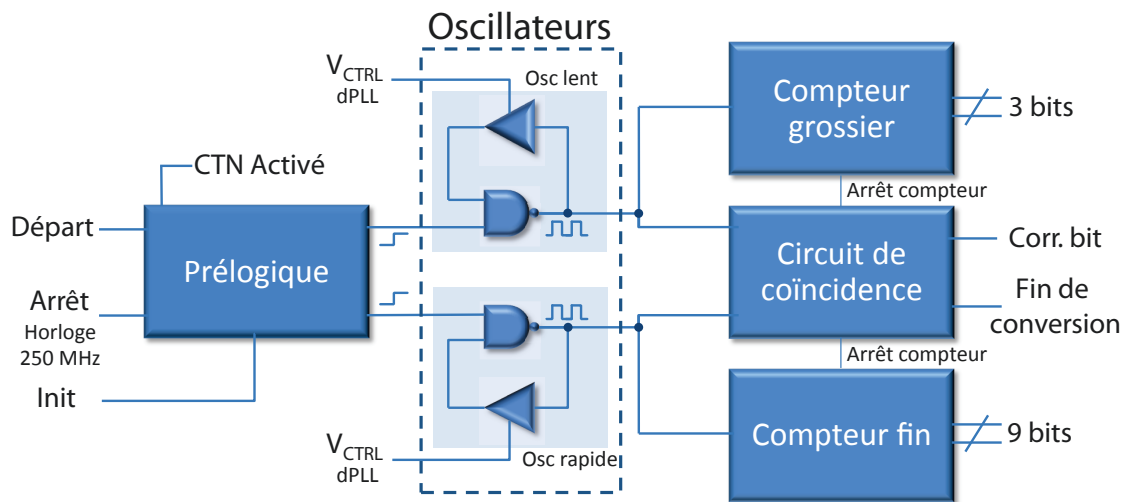


Figure 3.1 Schéma bloc du CTN

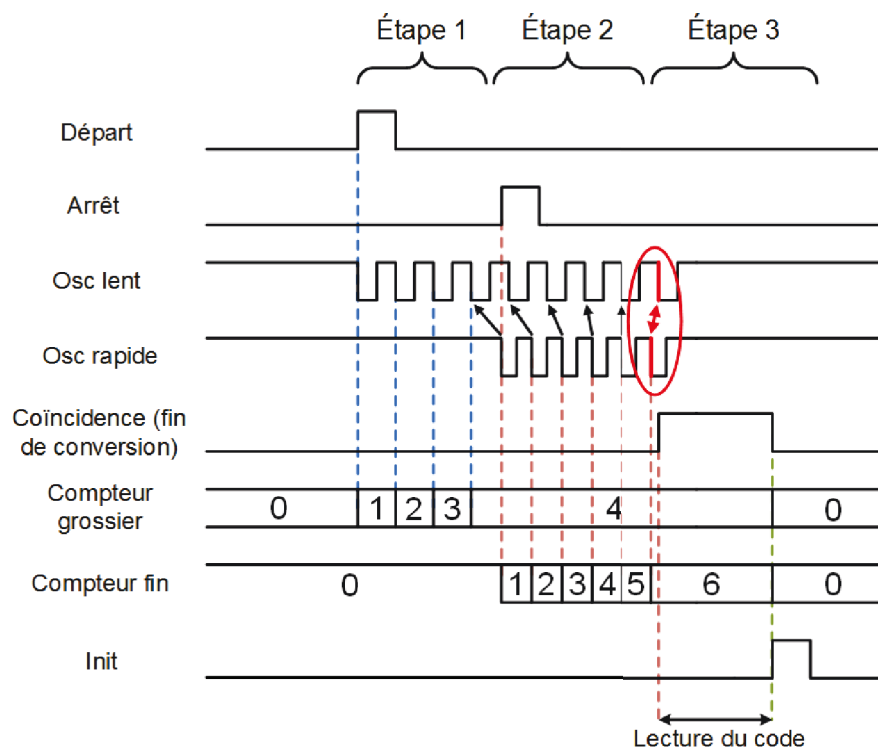


Figure 3.2 Chronogramme du CTN

Le fonctionnement global du CTN, représenté également à la figure 3.2, peut être divisé en trois étapes distinctes :

- 1) À la réception du signal de départ, le circuit de prélogique démarre l'oscillateur lent à la fréquence établie par une boucle à verrouillage de phase numérique. Le circuit de coïncidence, avec le circuit de prélogique, détermine si le signal de départ est arrivé avant le signal d'arrêt (section 3.1.3). Un compteur grossier de 3 bits compte le nombre de cycles de l'oscillateur lent.
- 2) Au moment où le signal d'arrêt survient, le circuit de prélogique démarre l'oscillateur rapide (mode vernier). Au même moment, le circuit de coïncidence arrête le compteur grossier et active le compteur fin de 9 bits qui compte le nombre de tours en mode vernier jusqu'au rattrapage des deux oscillateurs.
- 3) Le circuit de coïncidence détermine le moment où le rattrapage a lieu pour l'arrêt du compteur fin. À ce moment, le CTN a terminé sa conversion et le code est disponible. Après la lecture du code par le circuit de lecture de données, ce dernier réinitialise le CTN grâce à un signal d'initialisation (« Init » dans la figure 3.2).

3.1.1 Prélogique

Le rôle du circuit de prélogique est principalement de contrôler l'état des oscillateurs lent et rapide du CTN. Il fait donc le pont entre les signaux externes du CTN (départ et arrêt) et les oscillateurs. En fait, l'arrivée d'un signal de départ démarre l'oscillateur lent, tandis que l'arrivée d'un signal d'arrêt démarre l'oscillateur rapide. À ce niveau, il n'y a aucune assurance que le signal de départ soit arrivé avant le signal d'arrêt. Lors de la conception, deux choix étaient possibles : 1) le signal de départ active la détection du signal d'arrêt et 2) les signaux de départ et d'arrêt sont indépendants et la vérification de l'ordre des signaux se fait en début de conversion. Puisque les signaux de départ et d'arrêt sont non corrélés entre eux, la première option ne respecte pas toujours les temps de stabilisation des bascules, créant ainsi des non-linéarités dans le CTN. C'est pour cette raison que la deuxième option a été choisie (figure 3.3).

À l'arrivée des signaux d'entrée, le circuit de coïncidence détermine s'ils sont arrivés dans le bon ordre grâce à un arbitre (section 3.1.3). Si c'est le cas, la conversion continue jusqu'à ce que l'oscillateur rapide rattrape l'oscillateur lent. À l'inverse, si le circuit de coïncidence détecte que le signal d'arrêt est arrivé avant le signal de départ, l'oscillateur rapide est réinitialisé jusqu'au prochain signal d'arrêt (le signal d'arrêt correspond à l'horloge système

à 250 MHz). Le prix à payer est celui d'une consommation accrue prédominante à faible taux d'événements ($\sim 40\%$ de la consommation globale du CTN).

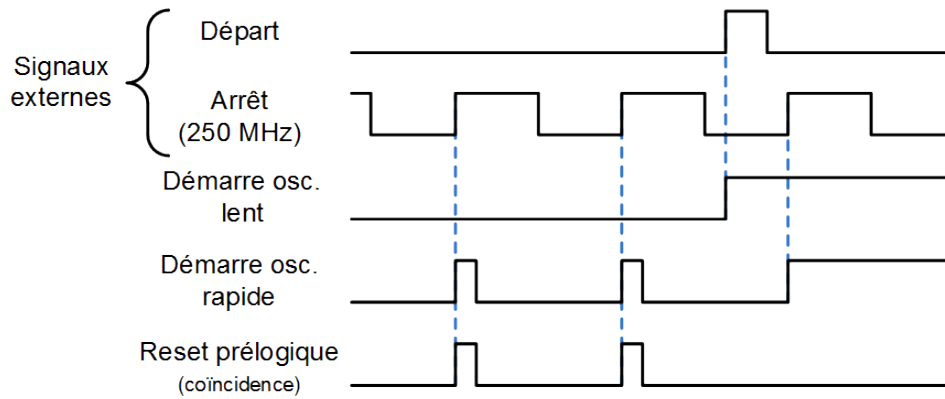


Figure 3.3 Chronogramme du circuit de prélogique

3.1.2 Oscillateurs

Les oscillateurs sont probablement les éléments du CTN les plus critiques puisqu'ils influencent directement la résolution, la linéarité et la précision du CTN. Ils doivent avoir une grande stabilité face aux changements de températures ainsi qu'aux différentes sources de bruit provenant de l'alimentation, du substrat ainsi que de l'électronique (bruit $1/f$ et bruit blanc (bruit thermique, bruit de grenaille, etc.)) [83]. Une petite taille ainsi qu'une faible consommation sont également requises. Voici quelques architectures d'oscillateurs qui ont été évaluées pour le développement du CTN.

LC

Les oscillateurs LC sont basés sur un échange d'énergie entre une inductance et un condensateur. Ils permettent d'obtenir de très faibles giges temporelles tout en ayant d'excellentes performances en stabilité comparativement aux oscillateurs à anneau (ring oscillator) puisque leur fréquence est principalement déterminée par l'inductance et le condensateur [20]. Toutefois, leur temps de stabilisation non nul les rend inutilisables puisque le CTN doit démarrer et arrêter instantanément ses oscillateurs pour effectuer une mesure. De plus, leur consommation et leurs dimensions sont beaucoup trop grandes pour le CTN proposé.

Oscillateur à anneau différentiel

Les oscillateurs à anneau sont de plus en plus utilisés comparativement aux oscillateurs LC puisqu'ils sont plus compacts et possèdent une plus grande plage d'ajustement en

fréquence [33]. Les structures différentielles sont souvent préférées, car elles offrent une excellente immunité face aux bruits en mode commun provenant de l'alimentation et du substrat, tout en limitant la quantité de bruit injecté aux autres circuits [69]. Par contre, les structures différentielles n'oscillent généralement pas sur toute la plage d'alimentation, les rendant plus sensibles au bruit électronique des composants [69]. De plus, un circuit d'interface est requis à leur sortie pour les rendre compatibles avec les cellules numériques standards [26]. Finalement, elles requièrent une source de courant par élément (figure 3.4) et donc une consommation statique peu souhaitable pour une implantation matricielle des CTN.

Des architectures pseudo-différentielles sont également possibles et ne nécessitent pas de source de courant puisqu'elles sont basées sur l'utilisation d'inverseurs [51] (figure 3.4). Il n'y a donc pas de consommation statique, mais plutôt une consommation dynamique lorsque l'oscillateur est en fonction. De plus, elles ont l'avantage d'osciller sur toute la plage d'alimentation contrairement aux architectures discutées plus haut. Ceci améliore la gigue temporelle, performance critique pour le CTN. Par contre, elles nécessitent plus de transistors qu'un oscillateur à anneau unique, tout en ayant une plus grande consommation dynamique.

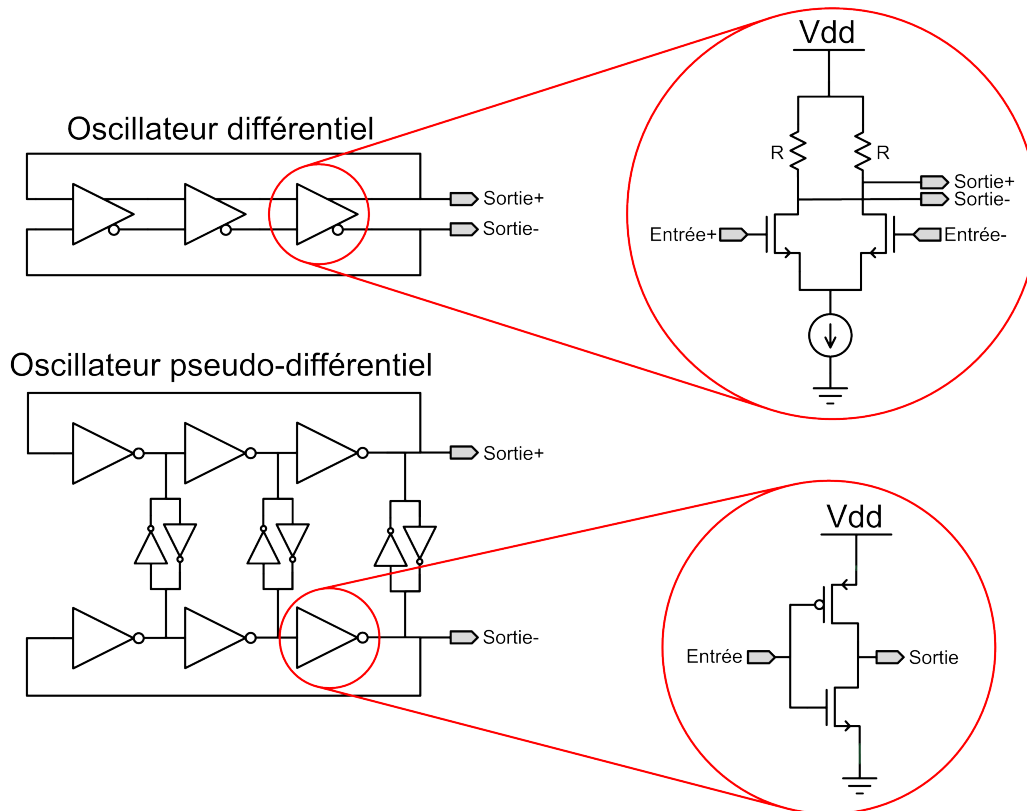


Figure 3.4 Comparaison entre un oscillateur différentiel et pseudo-différentiel

Oscillateur à anneau unique

Contrairement aux architectures différentielles, les oscillateurs à anneau unique sont sensibles au bruit en mode commun provenant de l'alimentation et du substrat [22, 33]. Tout comme les architectures pseudo-différentielles, l'oscillation se produit sur toute la plage d'alimentation, ce qui leur confère une meilleure immunité face au bruit électronique des composants [69]. La gigue temporelle est également indépendante du nombre d'éléments dans l'oscillateur (pour une même fréquence), car l'ajout d'éléments dans la chaîne augmente le bruit électronique total ce qui annule l'avantage des transitions plus rapides [22]. Ainsi, pour leur taille restreinte, leur faible consommation et leur immunité face au bruit électronique des composants, des oscillateurs à anneau unique ont été utilisés. D'ailleurs, leur puissance consommée, calculée selon l'équation 3.1, est proportionnelle au nombre d'éléments dans la chaîne et à la fréquence de l'oscillateur.

$$P = NCV_{dd}^2 f \quad (3.1)$$

où :

- P : Puissance dynamique consommée
- N : Nombre d'éléments dans la chaîne
- C : Capacité au noeud de sortie d'un élément
- V_{dd} : Tension d'alimentation
- f : Fréquence de l'oscillateur

Les spécifications des oscillateurs déterminent les performances du CTN. La résolution est déterminée par la différence de période entre les oscillateurs lent et rapide (équation 3.2). Le temps de conversion, quant à lui, dépend de la période de l'oscillateur lent et de la résolution. Avec les équations 3.3, 3.4 et 3.5, on détermine l'équation 3.6 correspondant au temps de conversion maximal du CTN. Il est intéressant de constater qu'un changement de fréquence de l'oscillateur lent a un impact quadratique sur le temps de conversion maximal. Par exemple, modifier la fréquence de 1 GHz à 2 GHz en conservant une résolution de 5 ps modifiera le temps de conversion maximal de 200 ns à 50 ns, donc d'un facteur 4. Cela signifie que la puissance consommée par le CTN (durant une conversion) serait multipliée par 2 (équation 3.1) en ayant toutefois un temps de conversion 4 fois plus faible (équation 3.6), nécessitant donc une énergie nette par conversion deux fois plus petite. Ainsi, comme le montre l'équation 3.7, augmenter la fréquence des oscillateurs (donc diminuer leur période) diminue selon les mêmes proportions l'énergie consommée à

chaque conversion du CTN. Il y a toutefois une limite à laquelle le circuit de coïncidence peut fonctionner et c'est pour cette raison que la fréquence des oscillateurs ne peut être trop élevée.

$$Res = T_L - T_R \quad (3.2)$$

$$n_{s_{max}} = T_{arret}/T_L \quad (3.3)$$

$$n_{v_{max}} = T_L/Res \quad (3.4)$$

$$T_C = T_L(n_s + n_v) \quad (3.5)$$

Avec les équations 3.3, 3.4 et 3.5, on trouve l'équation 3.6.

$$T_{C_{max}} = T_L(n_{s_{max}} + n_{v_{max}}) = T_{arret} + T_L^2/Res \approx T_L^2/Res \quad (3.6)$$

$$E_C = (P \times T_C) \propto T_L \quad (3.7)$$

où :

- Res : Résolution du CTN
- T_C : Temps de conversion
- $T_{C_{max}}$: Temps de conversion maximal
- E_C : Énergie consommée pendant une conversion
- T_L : Période de l'oscillateur lent
- T_R : Période de l'oscillateur rapide
- T_{arret} : Période du signal d'arrêt à l'entrée du CTN
- n_s : Nombre de tours en mode oscillateur simple
- n_v : Nombre de tours en mode vernier
- $n_{s_{max}}$: Nombre maximal de tours en mode oscillateur simple
- $n_{v_{max}}$: Nombre maximal de tours en mode vernier

Le nombre d'éléments contrôlés par la dPLL par rapport au nombre d'éléments total dans l'oscillateur détermine sa plage fréquentielle. Cette plage fréquentielle, déterminée en simulation, doit permettre de rester à 1 GHz, peu importe les variations de procédé, de tension d'alimentation et de températures. Comme le montre la figure 3.5, 3 éléments sur 5 sont contrôlés par la dPLL. Toutefois, un oscillateur à 3 éléments, dont 2 contrôlés en tension aurait été plus optimal en termes de taille et de consommation.

Les oscillateurs ont été conçus de façon identique, sauf dans le cas du dernier inverseur qui active un transistor de plus pour l'oscillateur rapide (figure 3.6). C'est cet inverseur qui accélère de 5 ps l'oscillateur rapide afin d'avoir la résolution souhaitée. Toutefois, une résolution temporelle à 5 ps nécessite une différence de période des oscillateurs égale à 5 ps (0.5 % de la période), ce qui est ambitieux compte tenu des variations de procédé. Une meilleure approche, qui devrait être envisagée dans la 2^e révision, serait d'utiliser deux oscillateurs identiques à tout point de vue et de déterminer la résolution du CTN grâce à un convertisseur numérique-analogique (CNA) sur chacun des oscillateurs plutôt qu'en modifiant le délai d'un élément. Ceci permettrait d'obtenir la résolution souhaitée malgré les variations de procédé, en plus de permettre une résolution ajustable selon l'application.

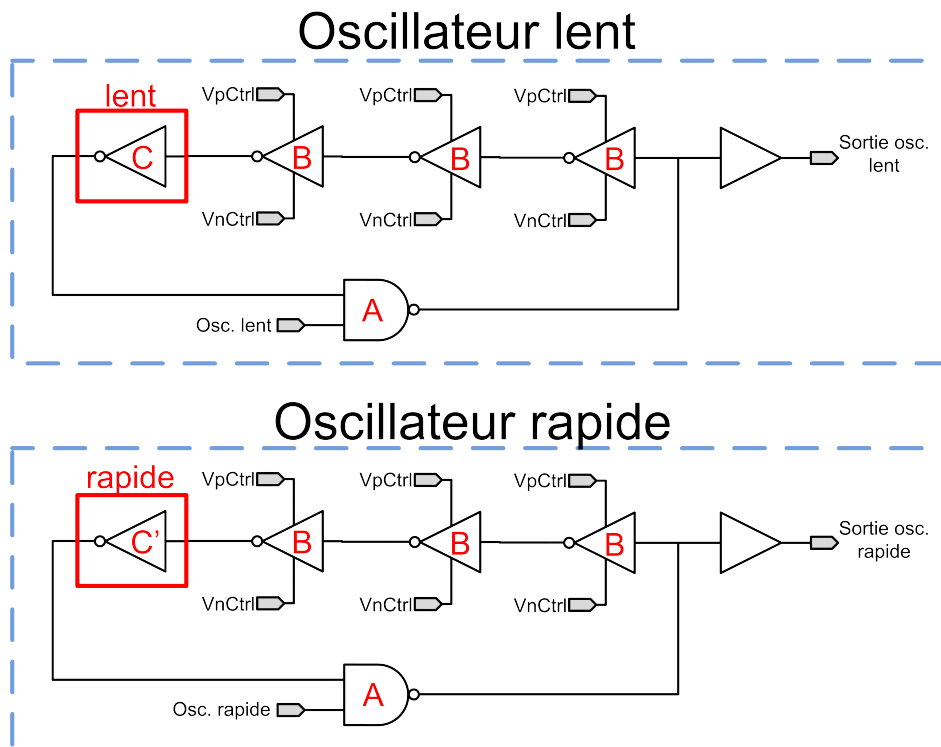


Figure 3.5 Schéma des oscillateurs. Les schémas électriques des éléments A, B, C et C' sont représentés à la figure 3.6

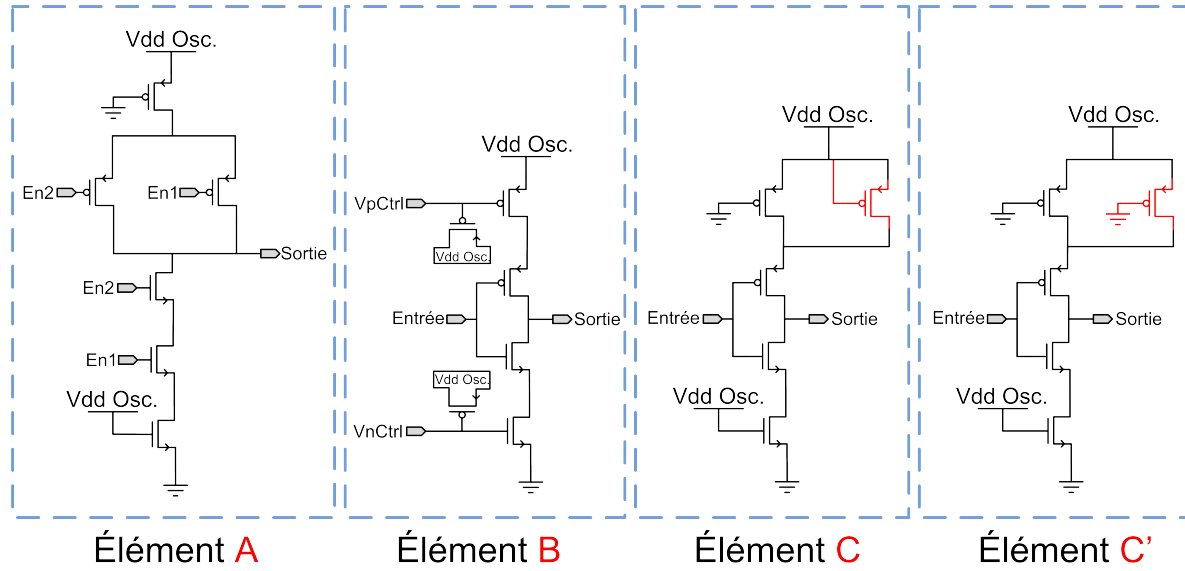


Figure 3.6 Éléments à délais des oscillateurs

Pour minimiser la gigue temporelle des oscillateurs, plusieurs règles ont été implémentées :

- 1) Utiliser des transistors à faible seuil dans les éléments de délais [22].
- 2) Avoir une alimentation dédiée aux oscillateurs¹ pour éviter que le bruit de l'alimentation provenant de l'électronique numérique se propage aux oscillateurs.
- 3) Intégrer les oscillateurs dans un « Deep NWell » pour minimiser le bruit du substrat provenant de l'électronique numérique.
- 4) Insérer des condensateurs de type moscap sur les noeuds de contrôle provenant de la boucle à verrouillage de phase numérique pour les stabiliser. Toutefois, une meilleure approche pour minimiser le bruit sur ces noeuds serait d'intégrer un filtre actif passe-bas. Ceci serait particulièrement intéressant dans une approche par pixel où chaque oscillateur (2 x nombre de pixels) est susceptible d'ajouter du bruit sur les noeuds de contrôle.

De plus, pour améliorer l'appariement des composants tout en minimisant la taille et la consommation, la longueur de la grille des transistors a été ajustée à environ $2 \times L_{min}$. La largeur des grilles, quant à elle, a été ajustée afin d'obtenir une fréquence nominale des oscillateurs à 1 GHz. La figure 3.7 présente le dessin des masques des oscillateurs.

¹Les alimentations des oscillateurs se connectent seulement à quelques endroits à proximité des pins d'alimentation du ASIC.

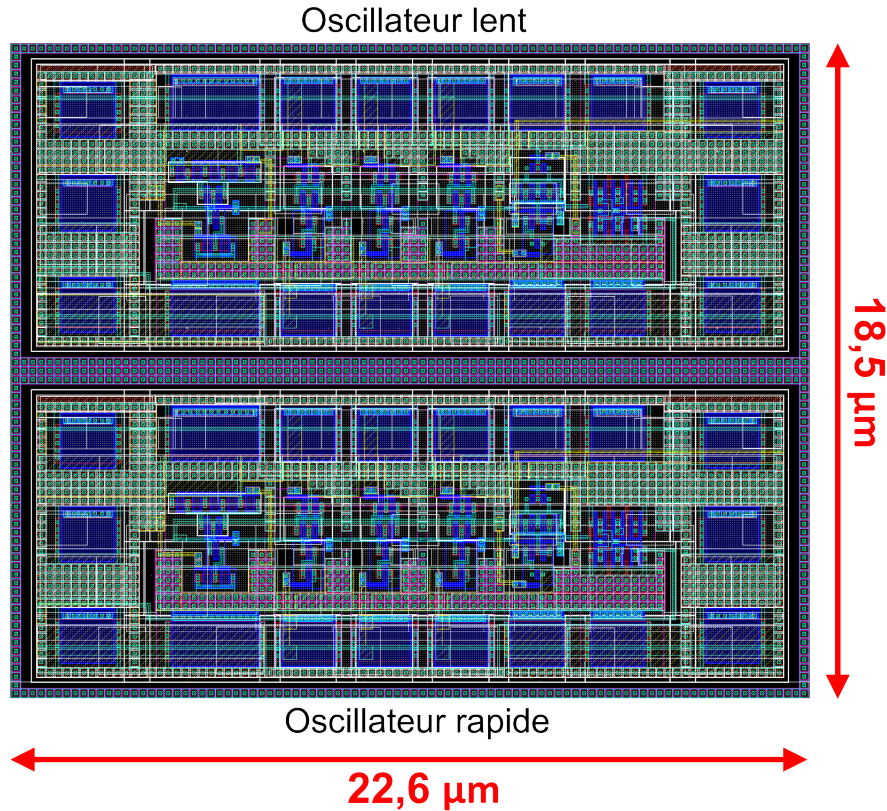


Figure 3.7 Dessin des masques des oscillateurs

3.1.3 Circuit de coïncidence

Le circuit de coïncidence est une partie critique du CTN. Il doit prendre ses décisions et effectuer les actions nécessaires en deçà d'un cycle d'oscillateur lent, soit 1 ns dans le CTN actuel pour assurer son bon fonctionnement. C'est d'ailleurs pour cette raison que la fréquence des oscillateurs ne doit pas être trop élevée. Les rôles du circuit de coïncidence, représentés également à la figure 3.8, sont :

- 1) Déterminer l'ordre d'arrivée des signaux d'entrées (départ et arrêt) et réinitialiser le circuit de prélogique, le cas échéant.
- 2) Arrêter le compteur grossier et activer le compteur fin lorsque l'oscillateur rapide démarre (arrivée du signal d'arrêt).
- 3) Déterminer le moment de coïncidence pour arrêter la conversion.

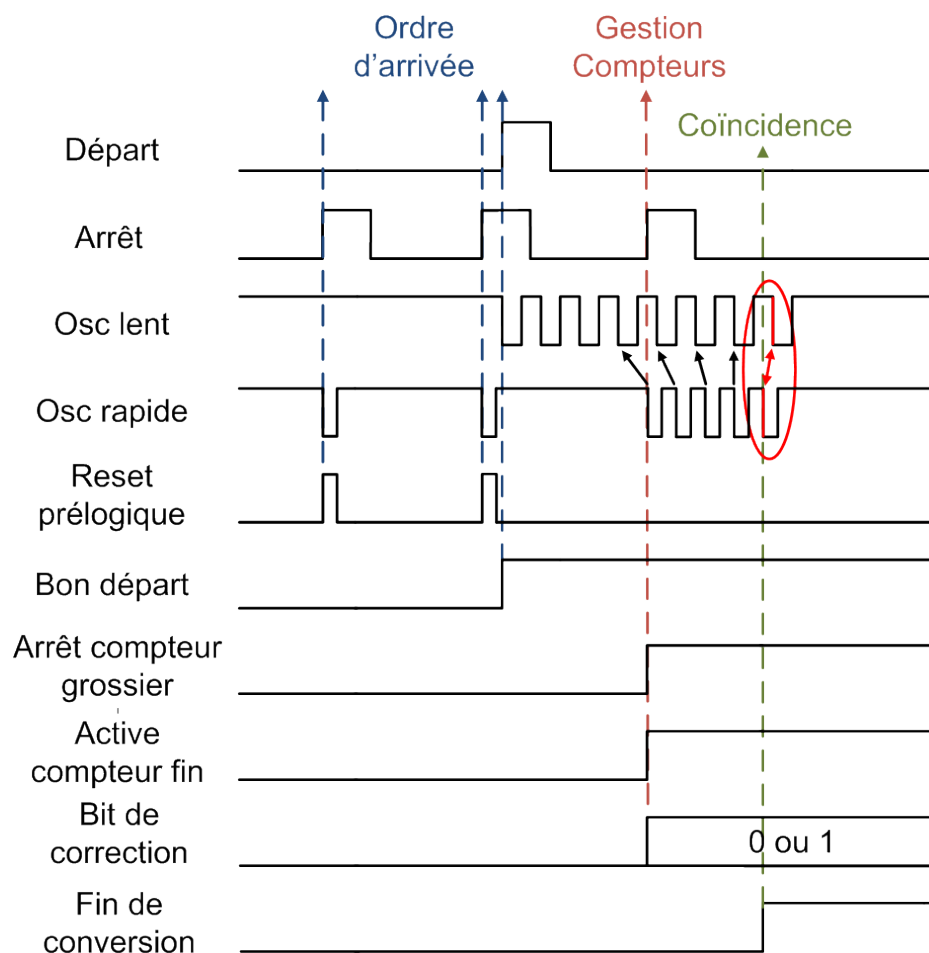


Figure 3.8 Chronogramme du circuit de coïncidence

À l'arrivée du signal de départ, un compteur grossier compte le nombre de cycles d'oscillateur lent avant l'arrivée du signal d'arrêt. Puisque le signal d'arrêt peut arriver n'importe où dans le cycle d'oscillateur, une région de correction a été établie à une $1/2$ période précédant le front descendant de l'oscillateur (figure 3.9). Lorsque le signal d'arrêt survient dans cette région, le compteur grossier compte inévitablement un front de trop. Ceci a pour effet d'activer un bit de correction, indiquant la nécessité de soustraire 1 au code final².

²La soustraction doit se faire lors du traitement des données (à l'extérieur du ASIC), au moment de la conversion des codes en étampes temporelles.

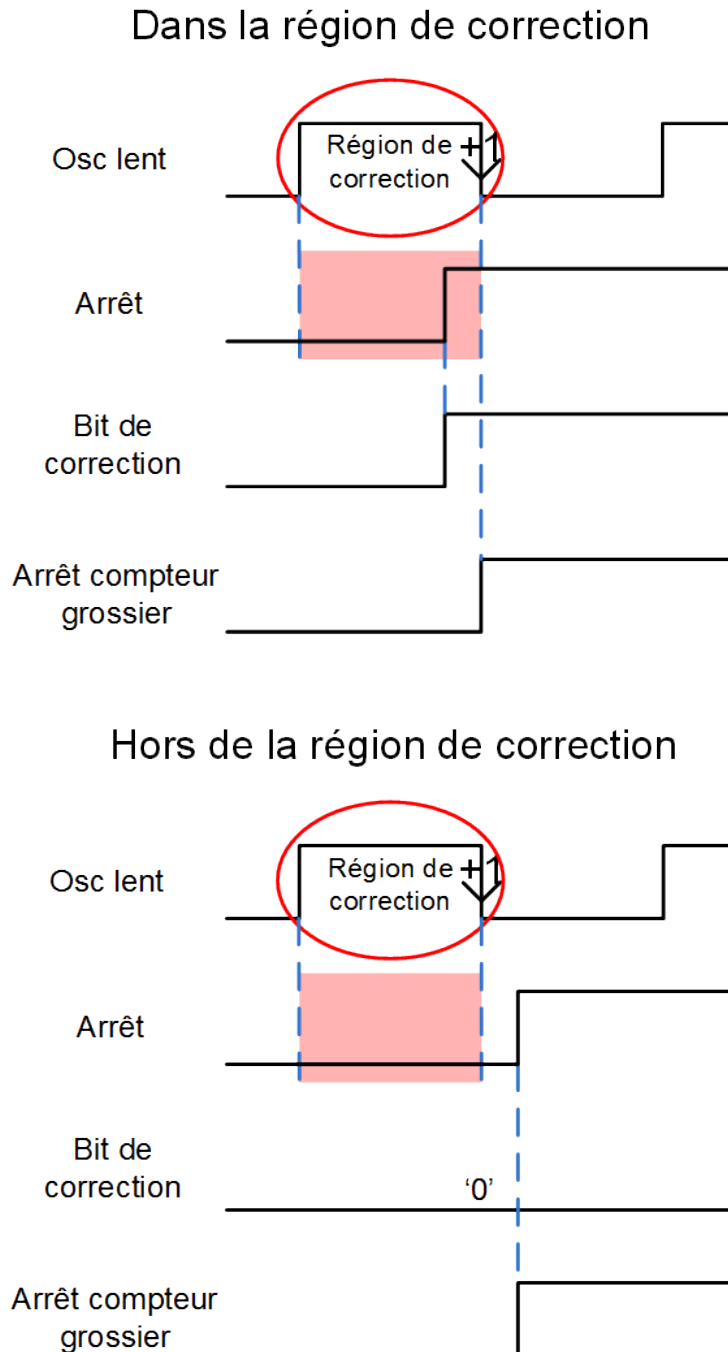


Figure 3.9 Arrivée du signal d'arrêt à l'intérieur et hors de la région de correction

Un des éléments critiques du circuit de coïncidence est l'arbitre, qui sert à déterminer, entre deux signaux, celui qui est arrivé avant l'autre. Avec des bascules conventionnelles, lorsque les deux signaux sont très près l'un de l'autre, une région métastable est présente. L'arbitre élimine cette région en utilisant un filtre de métastabilité (figure 3.10). La figure 3.11

présente les signaux d'entrées (En1 et En2, activés par un état logique 0) et de sorties (So1 et So2, activés en fournissant un état logique 0) de l'arbitre. Lorsque l'entrée 1 (En1) arrive avant l'entrée 2 (En2), la sortie 1 (So1) s'active. Le même principe s'applique également au cas inverse.

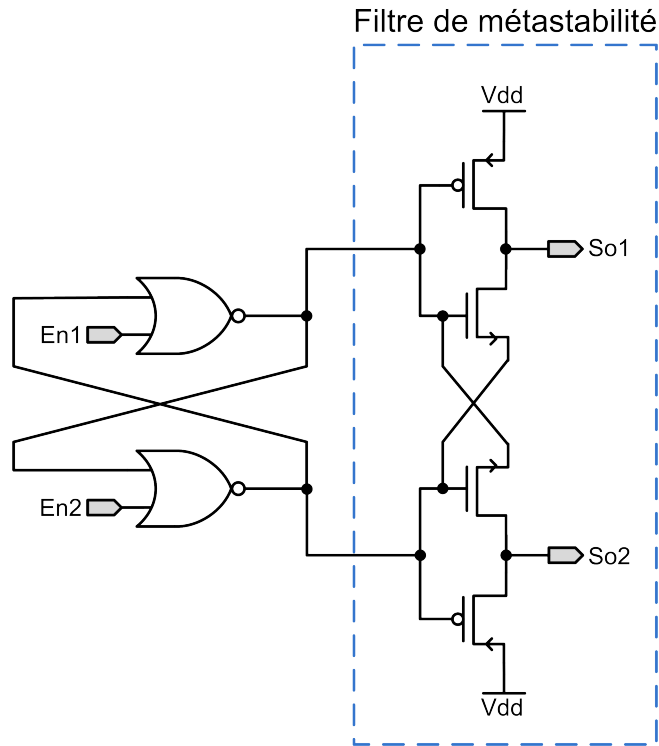


Figure 3.10 Schéma de l'arbitre

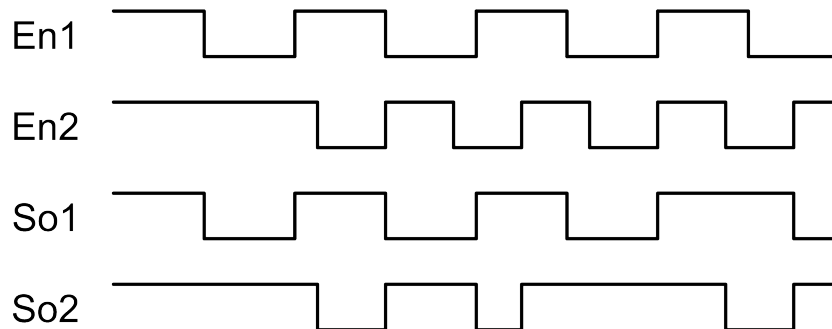


Figure 3.11 Chronogramme de l'arbitre. Les entrées et les sorties sont actives sur un niveau bas.

3.1.4 Compteurs

Le CTN utilise deux compteurs binaires pour leur très grande simplicité. Un compteur grossier (3 bits) représente le nombre de cycles de l'oscillateur lent, et un compteur fin (9 bits) représente le nombre de cycles des oscillateurs en mode vernier. La profondeur du compteur grossier détermine la plage dynamique du CTN selon l'équation 3.8 ($2^3 \times 1 \text{ ns} = 8 \text{ ns}$ dans le CTN présenté). La profondeur du compteur fin, quant à elle, doit être suffisamment grande pour couvrir le nombre de tours en mode vernier selon l'équation 3.4 ($1 \text{ ns}/5 \text{ ps} = 200$ tours maximum, soit 8 bits). Avec 9 bits, le CTN peut avoir jusqu'à 512 tours en mode vernier, ajoutant ainsi une marge de sécurité.

$$Plage = 2^{Ng} \times T_L \quad (3.8)$$

où :

- $Plage$: Plage dynamique du CTN
- T_L : Période de l'oscillateur lent
- Ng : Nombre de bits du compteur grossier

À la fin d'une mesure, la valeur des compteurs est lue par un circuit de lecture numérique et la conversion en étampes temporelles s'effectue à l'extérieur du ASIC selon l'équation 3.10. À priori, on ne connaît pas avec exactitude la période de l'oscillateur lent. Toutefois, on peut connaître le nombre de codes fins total pour chaque code grossier en effectuant un test de densité de codes (section 4.3.1). Ainsi, à partir de l'équation 3.9, on obtient l'équation 3.10 qui permet de trouver avec exactitude l'étampe temporelle finale. De plus, le « -1 » est nécessaire puisque le compteur grossier compte « +1 » à partir du premier front descendant de l'oscillateur grossier.

$$T_m = T_L \times (Cpt_{gross} - bit_{corr} - 1) + (Cpt_{fin} \times resolution) \quad (3.9)$$

Puisque $T_L = N_{fin} \times resolution$, on obtient l'équation 3.10

$$T_m = [N_{fin} \times (Cpt_{gross} - bit_{corr} - 1) + Cpt_{fin}] \times resolution \quad (3.10)$$

où :

- T_m : Étampe temporelle
- N_{fin} : Nombre de codes fins par code grossier
- Cpt_{gros} : Valeur du compteur grossier
- Cpt_{fin} : Valeur du compteur fin
- bit_{corr} : Valeur du bit de correction

3.1.5 Intégration

L'objectif de ce projet de recherche est d'intégrer un CTN à chacun des pixels d'un détecteur monophotonique pour améliorer la précision temporelle des mesures. Pour y arriver, le CTN, conçu en technologie CMOS 65 nm, occupe la moitié de la surface du pixel, soit environ $25 \times 50 \mu m^2$. Ceci laisse $25 \times 50 \mu m^2$ pour le circuit d'étouffement et le circuit de lecture numérique (figure 3.12).

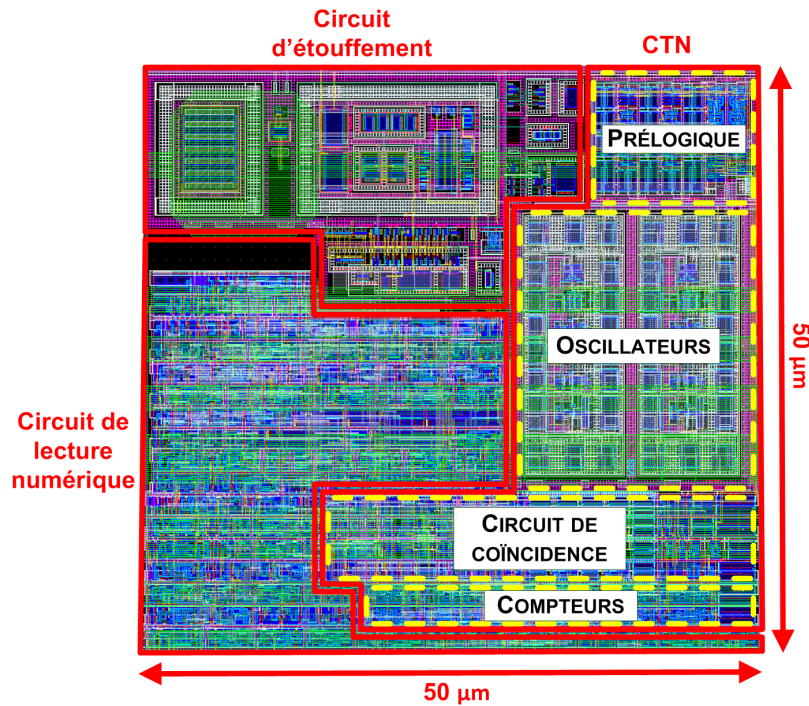


Figure 3.12 Dessin des masques d'un pixel

Les CTN de tests utilisent un sérialiseur UART pour envoyer les données à la sortie du ASIC. Cela permet de minimiser le nombre de plots de connexions (2 plots, sortie du sérialiseur et init) par rapport à une lecture parallèle des données. La figure 3.13 présente le chronogramme du sérialiseur.

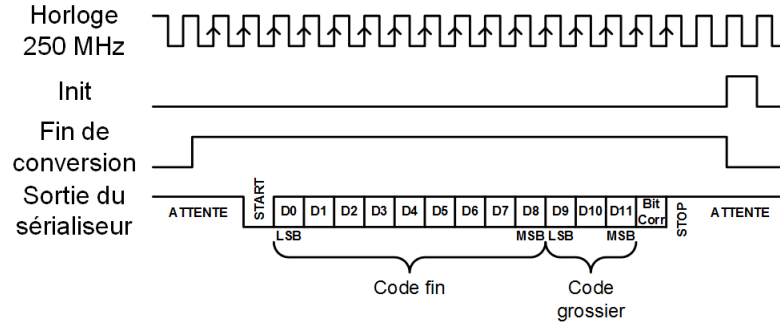


Figure 3.13 Chronogramme du sérialiseur

Deux structures de tests du CTN sont intégrées au ASIC complet (figure 3.14) : un CTN avec une dPLL (CTN1) et un autre avec des contrôles externes sur chacun des oscillateurs (CTN2). Le CTN1 est une copie du CTN intégré dans un pixel. Ses oscillateurs sont asservis à 1 GHz par une dPLL, qui peut toutefois être désactivée afin d'évaluer l'impact d'un tel asservissement. Le CTN2, quant à lui, permet un contrôle complet des oscillateurs via des CNA externes (reliés aux noeuds de contrôle de chaque oscillateur, figure 3.5). Cette structure de tests est spécialement intéressante pour voir l'impact de la fréquence des oscillateurs sur les performances du CTN. De plus, elle permet de mesurer la précision et la linéarité du CTN avec différentes résolutions. Finalement, l'uniformité des CTN est évaluée grâce à une matrice de 5×8 pixels implantée dans le ASIC. Pour obtenir de l'information concernant les protections ESD, les récepteurs/émetteurs LVDS et les tampons de sortie, veuillez consulter le mémoire de Frédéric Nolet [55]. La position des entrées/sorties du ASIC et leur description sont également disponibles en annexe.

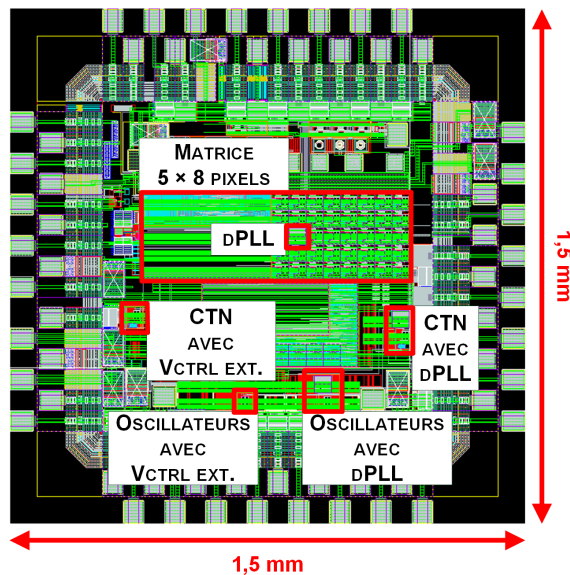


Figure 3.14 Dessin des masques du ASIC

3.2 Boucle à verrouillage de phase numérique (dPLL)

Pour minimiser l'incertitude temporelle causée par l'intégration matricielle, tous les CTN doivent avoir les mêmes caractéristiques et ce, peu importe les variations de procédé, de tensions d'alimentation et de températures. Pour cela, une calibration en temps réel grâce à une boucle à verrouillage de phase numérique (dPLL) vise à asservir les oscillateurs des CTN à 1 GHz. La figure 3.15 présente le schéma bloc de la dPLL. Il est séparé en 5 blocs qui seront présentés en détail dans cette section : les diviseurs, le détecteur de phase/fréquence (PFD), le contrôleur de gain dynamique, le convertisseur numérique-analogique (CNA) et l'oscillateur.

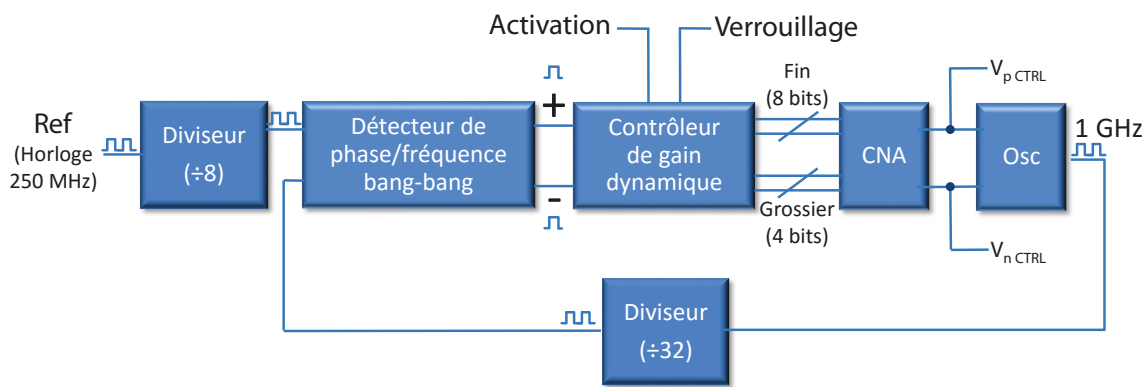


Figure 3.15 Schéma bloc de la dPLL

Pour asservir les oscillateurs des CTN à 1 GHz, la dPLL utilise une copie de l'oscillateur lent du CTN et la compare en phase avec l'horloge système à 250 MHz. L'asservissement est réalisé grâce aux étapes suivantes :

- 1) L'oscillateur et la référence sont divisés à une fréquence commune pour comparer leur phase à l'aide d'un détecteur de phase/fréquence (PFD). La sortie du PFD possède deux états possibles : « Ref avance » (avance de la référence) ou « Osc avance » (avance de l'oscillateur).
- 2) La sortie du PFD est envoyée à un contrôleur de gain dynamique qui calcule un code binaire de correction.
- 3) Un CNA convertit le code de correction fourni par le contrôleur de gain dynamique en tension analogique pour ajuster la fréquence de l'oscillateur de la dPLL.

La bande passante (BP) de la dPLL, définie comme étant la rapidité à réagir aux variations de phase entre l'oscillateur de référence et l'oscillateur asservi, est un critère important pour optimiser la précision temporelle des oscillateurs du CTN :

1) Une faible BP réduit l'impact de la gigue temporelle de la référence, des diviseurs et du PFD sur la précision temporelle de l'oscillateur asservi puisque la dPLL réagit plus lentement que les variations de phase rapides en entrée.

2) Une grande BP augmente la capacité de la dPLL à réagir face à l'addition, tout après tout, de la gigue temporelle de l'oscillateur asservi [21, 47, 77].

La valeur optimale de la BP dépend donc de la gigue temporelle de la référence et de l'oscillateur asservi. Généralement, la BP est déterminée par un filtre passe-bas sur le signal de contrôle de l'oscillateur. Cependant, la dPLL doit occuper un maximum de $50 \times 50 \mu m^2$ (taille d'un pixel) tout en minimisant sa consommation, rendant impossible l'utilisation d'un condensateur pour un filtrage analogique. Néanmoins, un filtrage numérique pourrait être envisagé pour les versions ultérieures. Dans l'architecture présentée, aucun filtrage n'est présent sur les noeuds de contrôle, augmentant ainsi la BP de la dPLL.

3.2.1 Diviseurs

Pour comparer en phase l'oscillateur de référence (250 MHz) avec l'oscillateur de la dPLL (1 GHz), il faut les diviser à une fréquence commune. Les diviseurs doivent donc avoir un facteur 4 entre eux. De plus, les diviseurs doivent toujours être les plus petits possible puisque la gigue temporelle à la sortie d'un diviseur par N correspond à la gigue temporelle à son entrée multipliée d'un facteur N [21]. Dans la version actuelle, l'oscillateur de référence est divisé par 8 et l'oscillateur de la dPLL est divisé par 32. Ces diviseurs ne sont pas optimaux et devront être minimisés dans une version ultérieure en s'assurant toutefois que les autres blocs de la dPLL, notamment le contrôleur de gain dynamique, réagissent suffisamment rapidement. Pour l'implémentation du diviseur, plusieurs architectures sont possibles, mais celle qui minimise sa taille et sa consommation est simplement un compteur binaire où le n^e bit est un diviseur par 2^n .

3.2.2 Détecteur de phase/fréquence (PFD) de type bang-bang

Après la division en fréquence de l'oscillateur de référence et de l'oscillateur de la dPLL, un détecteur de phase/fréquence (PFD) détermine la différence de phase entre eux. Comme on peut le voir sur la figure 3.16, une détection fréquentielle ajoutée à un détecteur de phase permet de mesurer correctement de grandes valeurs de déphasage ($>$ période du signal de référence) comparativement à un détecteur de phase seul [34]. Dans un PFD linéaire, la largeur de l'impulsion à la sortie est proportionnelle au déphasage des signaux. La tension d'ajustement de l'oscillateur varie alors selon la largeur de l'impulsion via une

pompe de charge. Le processus de charge/décharge d'un condensateur augmente toutefois la consommation en plus de nécessiter une surface plus grande due à la capacité [29]. Pour minimiser la taille et la consommation, la solution proposée utilise un PFD non linéaire qui fournit un signal binaire (d'où la mention « bang-bang ») au contrôleur de gain dynamique. En contrepartie, l'encodage de l'erreur sur un bit seulement (avance ou retard) ajoute une erreur de quantification non négligeable et dégrade la gigue temporelle [45, 61].

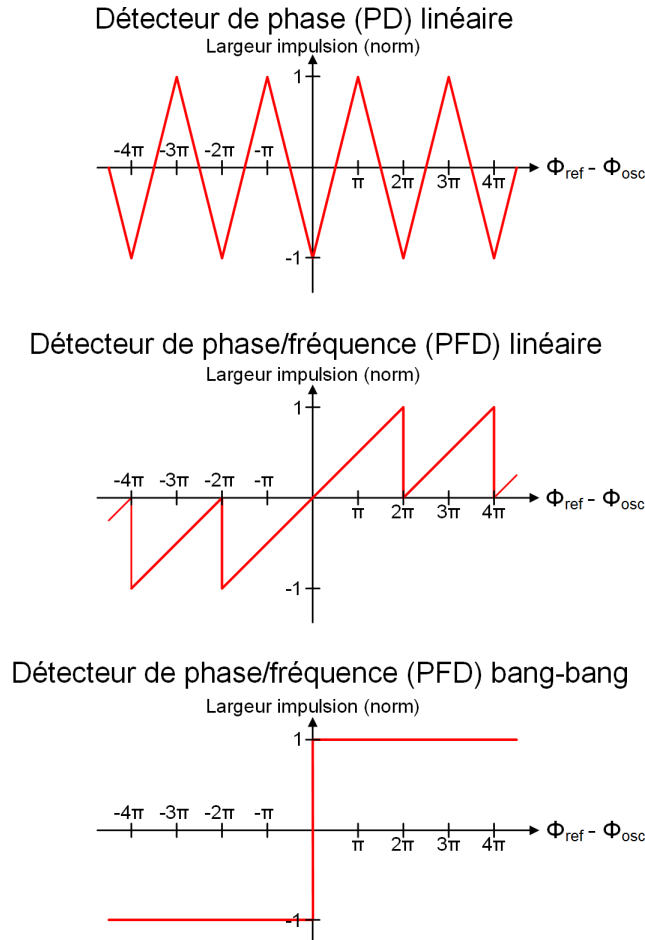


Figure 3.16 Fonctions de transfert des différents détecteurs de phase

La figure 3.17 présente le schéma du PFD. Son chronogramme (figure 3.18) affiche les cas possibles (oscillateur et référence en avance), jusqu'au verrouillage en phase de l'oscillateur et de la référence. Les impulsions provenant de « Ref avance » et de « Osc avance » doivent être suffisamment longues pour que le contrôleur de gain dynamique puisse effectuer sa tâche. Ceci est assuré grâce à une largeur d'impulsions fixée à environ une demi-période des oscillateurs après leur division respective (Ref avance = $(4 \text{ ns} \times 8)/2 = 16 \text{ ns}$, Osc avance = $(1 \text{ ns} \times 32)/2 = 16 \text{ ns}$).

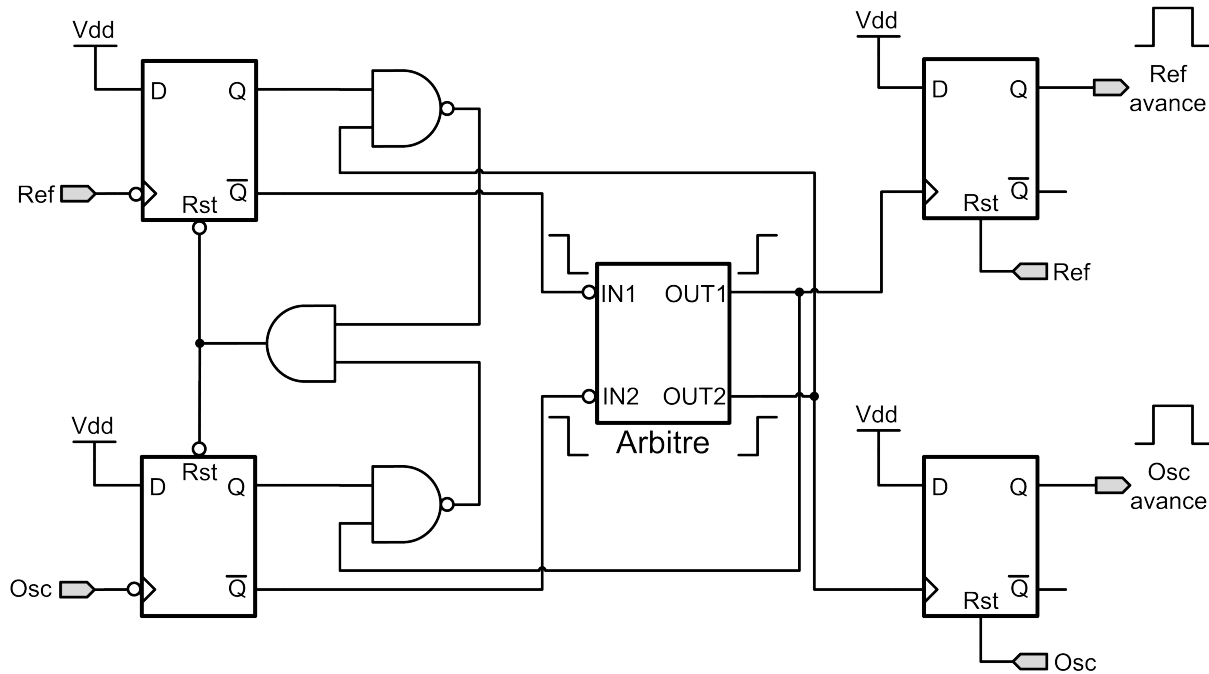


Figure 3.17 Schéma du PFD de type bang-bang

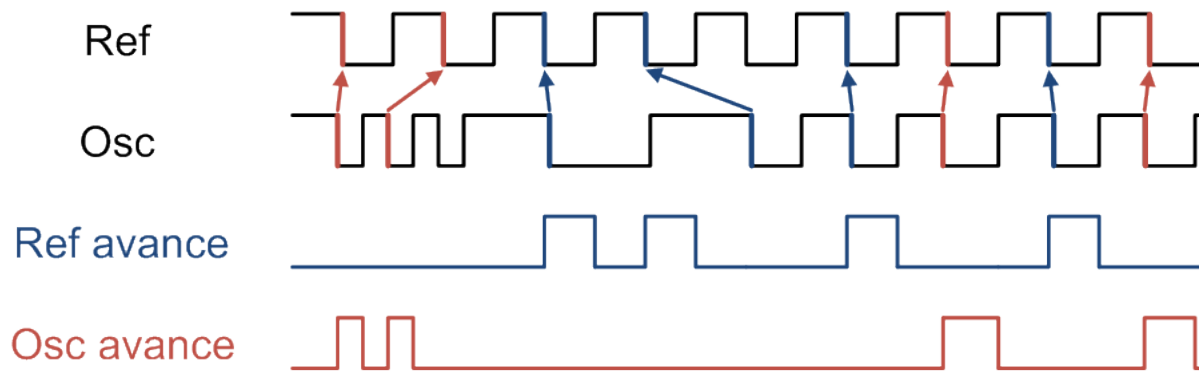


Figure 3.18 Chronogramme du PFD de type bang-bang

3.2.3 Contrôleur de gain dynamique

Après avoir déterminé l'erreur de phase entre l'oscillateur de référence et l'oscillateur de la dPLL à l'aide du PFD, un contrôleur de gain dynamique calcule un code binaire à envoyer au CNA pour corriger l'erreur de phase. Le contrôleur de gain dynamique optimise le temps de convergence et la gigue temporelle de l'oscillateur en ajustant le gain dynamiquement en fonction du nombre consécutif d'événements « oscillateur en avance » ou « référence en avance ». En fait, l'erreur en fréquence est estimée à la moitié de ce nombre. À la figure 3.19, on observe une addition (+1) du code de sortie à chaque « Osc avance », et une soustraction (-1) du code à chaque « Ref avance ». De plus, après chaque inversion

(transition de « Osc avance » à « Ref avance » ou inversement), une addition ou une soustraction de la moitié du nombre de « Ref avance » ou « Osc avance » consécutifs est réalisée sur le code.

Un signal de verrouillage est présent afin d'informer le circuit de lecture de données de désactiver les CTN des pixels lorsque la dPLL n'est pas verrouillée. Toutefois, ce signal, activé après 6 inversions (le nombre a été déterminé arbitrairement en simulation), ne modifie aucunement le processus d'asservissement de la dPLL et ne sert qu'à fournir l'état de la dPLL. Évidemment, dans une deuxième révision, il serait plus judicieux que le signal de verrouillage change en fonction de l'écart avec la fréquence cible plutôt qu'avec un nombre fixe d'inversions.

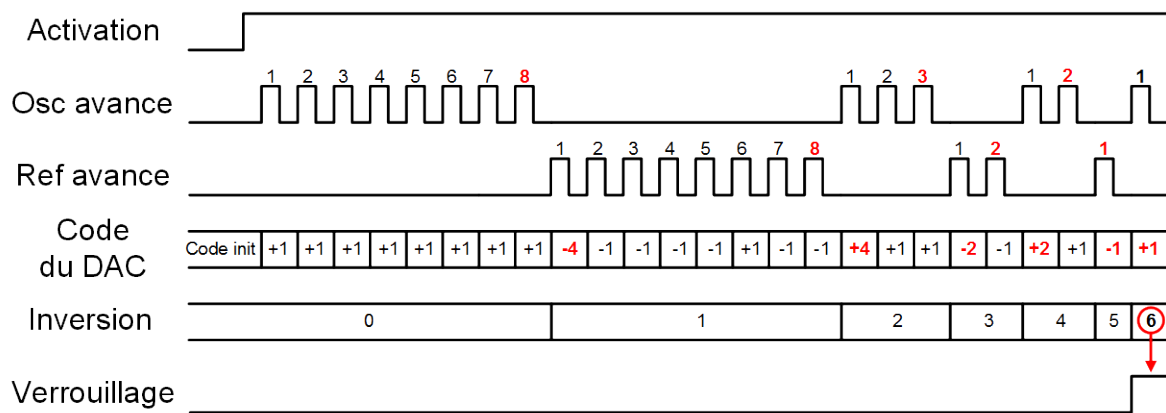


Figure 3.19 Chronogramme du contrôleur de gain dynamique

Pour varier la fréquence de l'oscillateur asservi, deux contrôles sont disponibles : un code binaire grossier (4 bits) et un code binaire fin (8 bits). Leur profondeur a été déterminée de sorte que l'oscillateur asservi puisse atteindre 1 GHz, peu importe les variations PVT. L'ajustement des codes se fait en deux étapes successives : 1) Ajuster le code grossier pour obtenir approximativement la fréquence souhaitée et 2) Ajuster le code fin pour obtenir précisément la fréquence souhaitée. Il est également important de mentionner que le contrôleur de gain dynamique ne varie que les codes fins lorsque la dPLL est verrouillée. Chacun des codes (grossier et fin) est ajusté selon le processus schématisé à la figure 3.19. Ceci permet d'augmenter la rapidité avec laquelle l'oscillateur sera verrouillé. Finalement, le contrôleur de gain dynamique détermine le moment où l'oscillateur est verrouillé (toujours après 6 inversions) et assure un ajustement du code grossier dans le cas où les limites du code fin sont atteintes. Un mécanisme de désactivation de la dPLL est également prévu, attribuant des valeurs par défaut aux codes fin et grossier.

3.2.4 Convertisseur numérique-analogique (CNA)

Le convertisseur numérique-analogique (CNA) convertit le code binaire calculé par le contrôleur de gain dynamique en tension analogique pour l'ajustement en fréquence de l'oscillateur asservi. Sa conception est basée sur l'activation de transistors dimensionnés selon un format binaire pour minimiser la surface. L'ajustement de la tension de sortie du CNA se fait par deux contrôles différents pour augmenter sa plage dynamique : contrôles grossier (4 bits) et fin (8 bits). Le contrôle grossier agit sur la valeur de la source de courant du CNA, tandis que le contrôle fin divise cette source de courant par le nombre de transistors activés du code. Toutefois, ce type d'architecture n'est pas optimal pour les raisons suivantes :

- 1) Il y a un chevauchement entre les bits grossiers et fins (figure 3.21), diminuant la plage dynamique totale.
- 2) Le transistor branché en diode (M1) (figure 3.20) court-circuite une partie du courant circulant dans les codes fins. Ceci est dû à sa faible résistance drain-source, nécessitant davantage de courant.

Évidemment, la prochaine version devra utiliser une architecture de CNA en éliminant les inconvénients mentionnés, et devra avoir une fonction de transfert linéaire sur toute sa plage de codes. Néanmoins, ce circuit est fonctionnel et permet à la dPLL de fonctionner correctement. La figure 3.22 montre également le schéma des masques du CNA.

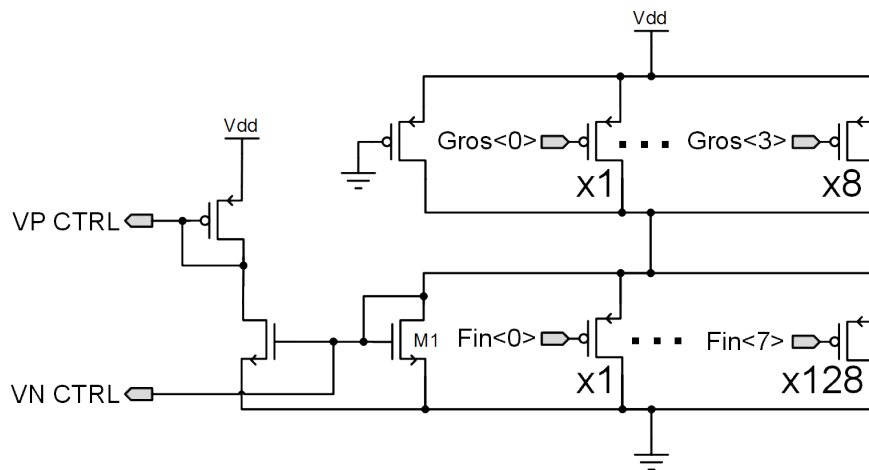


Figure 3.20 Schéma du CNA

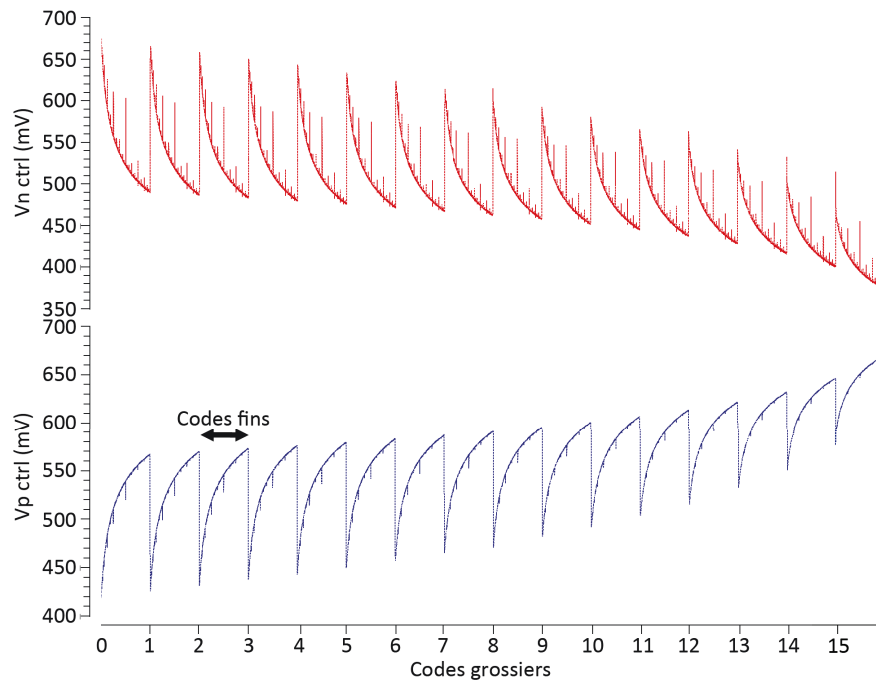


Figure 3.21 Fonction de transfert du CNA (simulation)

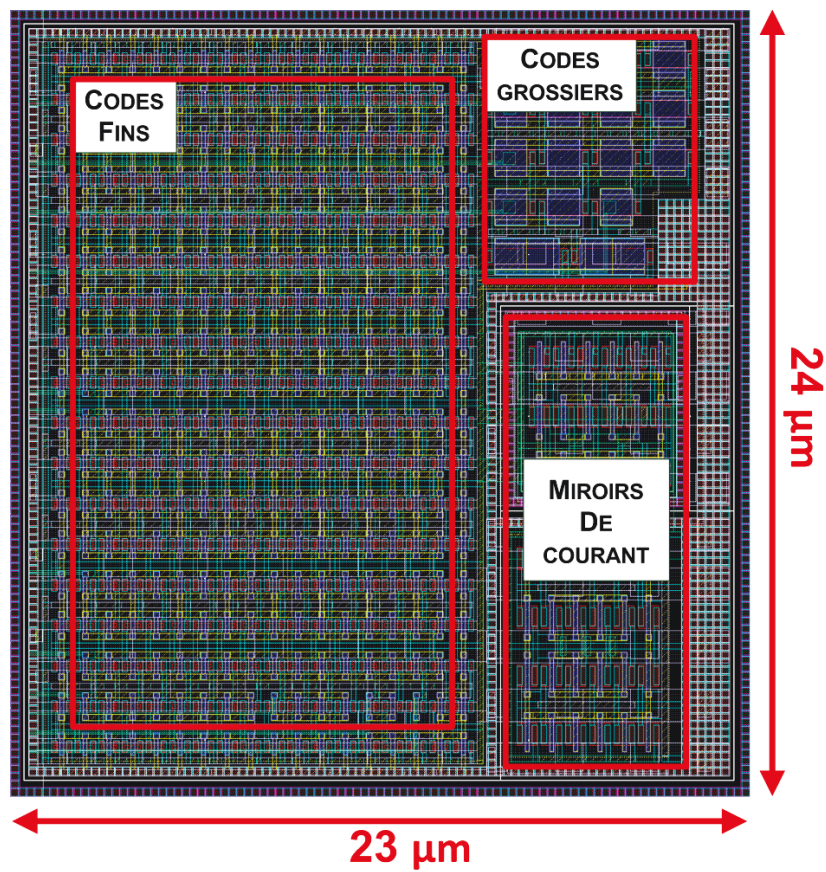


Figure 3.22 Schéma des masques du CNA

3.2.5 Oscillateur

L'objectif de la dPLL est d'asservir en temps réel les oscillateurs du CTN à 1 GHz afin qu'ils soient insensibles aux variations PVT. Pour y arriver, l'oscillateur de la dPLL est une copie de l'oscillateur lent du CTN. Il utilise les mêmes alimentations et se trouve dans la même orientation que l'original afin d'obtenir un comportement similaire. Son contrôle en fréquence est assuré grâce à une tension de contrôle fournie par le CNA. L'oscillateur et le CNA ont été conçus pour permettre une plage en fréquence couvrant les variations de procédé (SS, FF, SF, FS), de températures (entre 0°C et 100°C) et de tensions d'alimentation (entre 0,9 V et 1,1 V).

Pour conserver une résolution constante du CTN (différence de période entre les oscillateurs lent et rapide) peu importe la tension de contrôle de la dPLL, les oscillateurs du CTN sont contrôlés en fréquences par 3 éléments de délais identiques (figure 3.5). La figure 3.23 présente la différence de période entre les oscillateurs lent et rapide. On observe cependant certaines anomalies : 1) La différence de période entre les oscillateurs lent et rapide est constante sur presque toute la plage de la tension de contrôle, sauf vers la fin des codes où elle diminue jusqu'à environ 2 ps. Ceci est probablement dû au fait que le rapport cyclique des oscillateurs n'est plus à 50 % dans cette région. 2) On observe des impulsions intempestives lors des changements de codes. Ceci est dû aux capacités grille-drain et grille-source des transistors présents dans le CNA. Ces anomalies devront être corrigées dans une deuxième version.

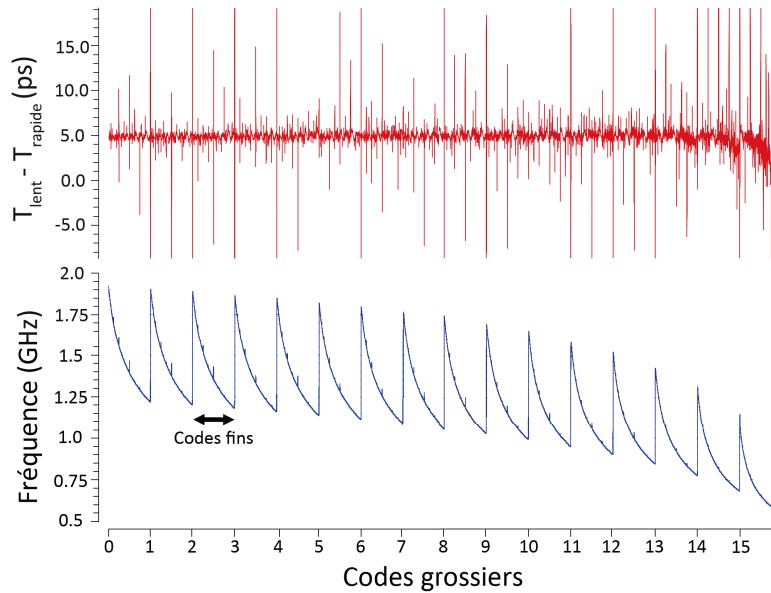


Figure 3.23 1) Différence de période entre les oscillateurs lent et rapide et 2) Fréquence de l'oscillateur lent en fonction des codes de contrôles (simulations)

3.2.6 Intégration

La dPLL a été conçue pour calibrer en temps réel les CTN d'une matrice afin d'uniformiser leurs performances. La calibration doit insensibiliser les CTN face aux variations PVT en conservant la fréquence de ses oscillateurs constante. La figure 3.24 présente la fréquence de l'oscillateur asservi par la dPLL. On peut y observer le contrôle grossier durant les premières $1,25 \mu s$, et le contrôle fin par la suite. On y voit également une oscillation constante même lorsque le système est stabilisé. Ceci est probablement dû en partie à l'erreur de quantification du détecteur de phase/fréquence. Pour une prochaine version, il serait préférable d'utiliser un CTN pour mesurer l'erreur. Une ligne à délais simple, par exemple, pourrait être envisagée pour mesurer l'erreur de phase de la dPLL. De plus, l'ajustement de la bande passante de la dPLL à l'aide d'un filtre passe-bas numérique permettrait de réduire l'impact de l'erreur de quantification. Ceci diminuerait la gigue temporelle de l'oscillateur afin d'améliorer la précision temporelle des CTN.

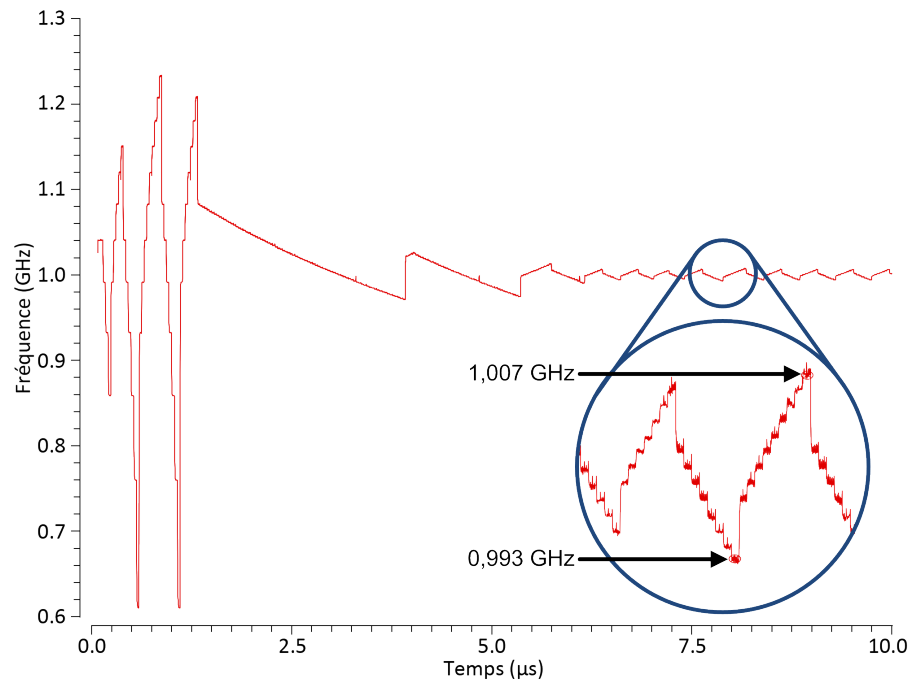


Figure 3.24 Fréquence de l'oscillateur asservi par la dPLL (simulations)

La figure 3.25 représente le dessin des masques de la dPLL. Elle a été conçue pour remplacer un pixel de $50 \times 50 \mu m^2$ pour la calibration d'une matrice complète. Dans la matrice de tests (5×8 pixels, figure 3.14), la dPLL a été placée dans la deuxième colonne pour pouvoir observer l'impact de son positionnement par rapport aux performances des CTN. Elle peut également être activée ou non pour observer son influence sur les CTN.

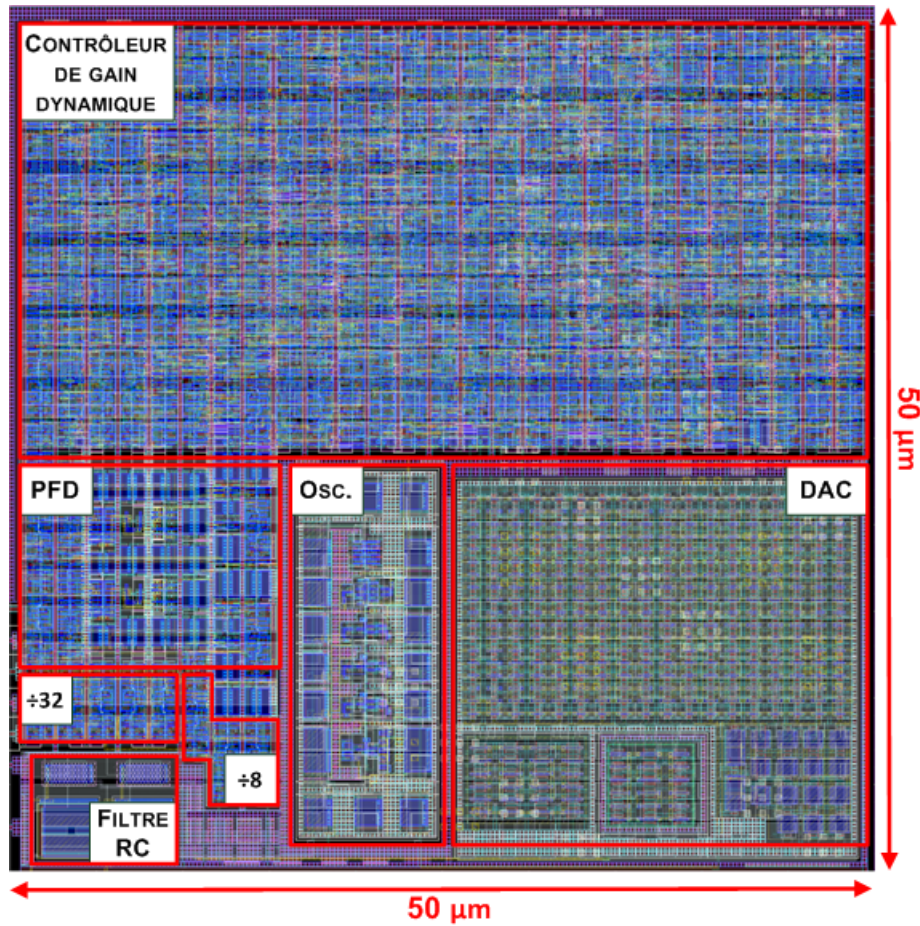


Figure 3.25 Dessin des masques de la dPLL

3.3 Conclusion

Le CTN, conçu en technologie CMOS 65 nm, utilise une architecture vernier à étage unique pour obtenir une résolution visant 5 ps avec une taille de $25 \times 50 \mu m^2$ pour l'intégration par pixel. Cette architecture a le potentiel d'offrir une excellente résolution avec une faible surface, tout en assurant une linéarité du CTN insensible aux variations de procédé. La dPLL, quant à elle, permet la calibration en temps réel des CTN pour augmenter l'uniformité de la matrice. Elle s'intègre dans $50 \times 50 \mu m^2$ en éliminant la pompe de charge et le filtrage analogique d'une PLL standard, réduisant considérablement sa taille et sa consommation.

CHAPITRE 4

MATÉRIEL ET MÉTHODOLOGIE

Ce chapitre présente l'environnement de tests pour effectuer les mesures du convertisseur temps-numérique. Ceci comprend donc le matériel nécessaire (figure 4.1) et ses performances, ainsi que les logiciels utilisés pour le contrôle, l'acquisition et le traitement des données. De plus, la méthodologie pour obtenir les caractéristiques du CTN sera présentée.

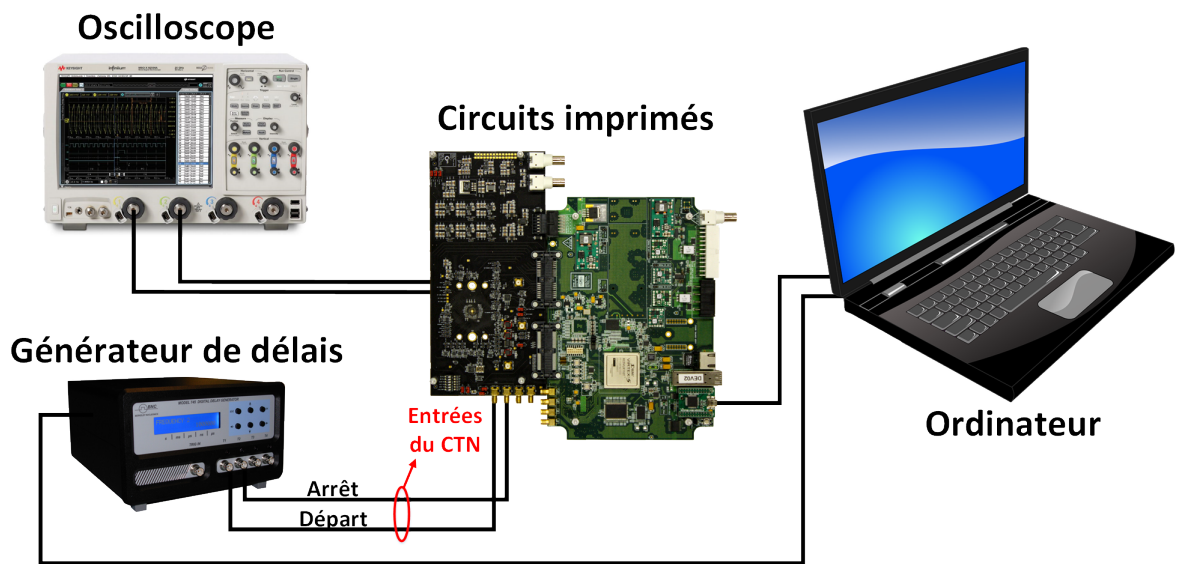


Figure 4.1 Schéma du montage de tests

4.1 Matériel

4.1.1 Circuits imprimés

Les circuits imprimés (PCB) permettent de faire le lien entre le ASIC et le monde extérieur pour l'acquisition des données. Deux cartes électroniques sont requises pour les tests : une carte d'acquisition et une carte d'interface pour le ASIC. La carte d'acquisition utilise un FPGA de type Xilinx Virtex-5 cadencé par une horloge à 250 MHz afin de recevoir/transmettre les données au ASIC et de communiquer à un ordinateur via un lien USB. La carte d'interface, quant à elle, permet de lier le ASIC au FPGA en plus de lui fournir certains contrôles. La figure 4.2 présente ces deux cartes.

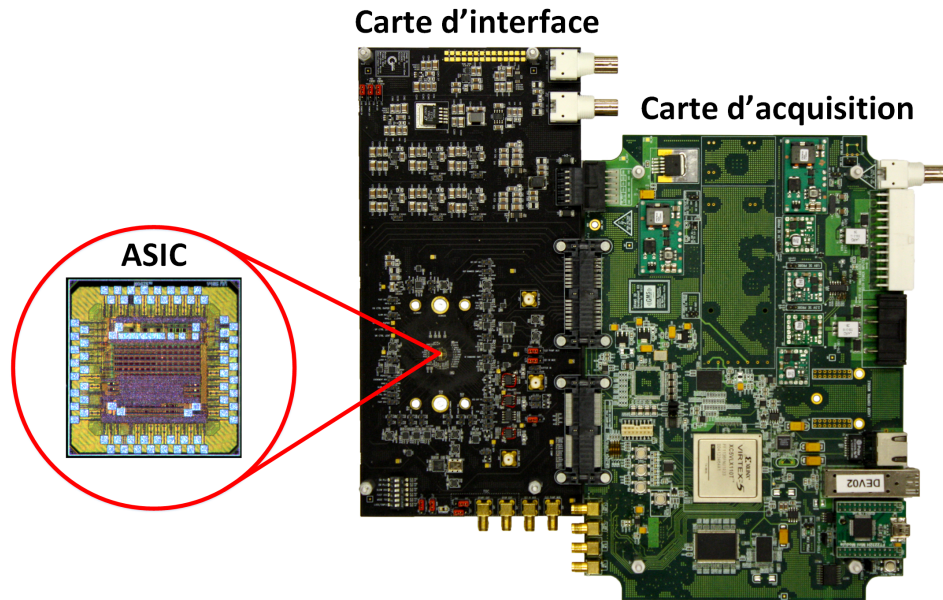


Figure 4.2 Circuit imprimé de la carte d'interface et de la carte d'acquisition

Le lien entre le ASIC et le PCB est assuré grâce à son microcâblage sur le PCB. Son diagramme de microcâblage et son empreinte sont d'ailleurs présentés à la figure 4.3. Pour fixer et connecter le ASIC au PCB, plusieurs contraintes sont nécessaires concernant son empreinte, son microcâblage et son collage :

- 1) Les microcâbles doivent être parallèles entre eux afin d'éviter les courts-circuits. Étant donné la densité des plots de connexion, quatre rangées par côté ont été requises sur le PCB pour satisfaire cette contrainte.
- 2) Les plots de connexion sur le PCB ne doivent pas être trop près du ASIC pour permettre le microcâblage (une distance minimale de 0,7 mm est jugée acceptable).
- 3) Ouvrir le masque de soudure autour des plots de connexion du PCB pour assurer un bon contact mécanique.
- 4) Avoir un plaquage d'or sur les plots de connexion (Electroless Nickel Immersion Gold, ENIG).
- 5) Le ASIC peut être collé au PCB de deux façons : 1) avec de la laque d'argent qui assure un collage faible à modéré, mais qui permet d'enlever le ASIC au besoin et 2) avec de l'époxy conducteur qui assure un collage élevé, mais qui permet difficilement d'enlever le ASIC sans abîmer le PCB. Les deux techniques ont été testées sur différents PCB.

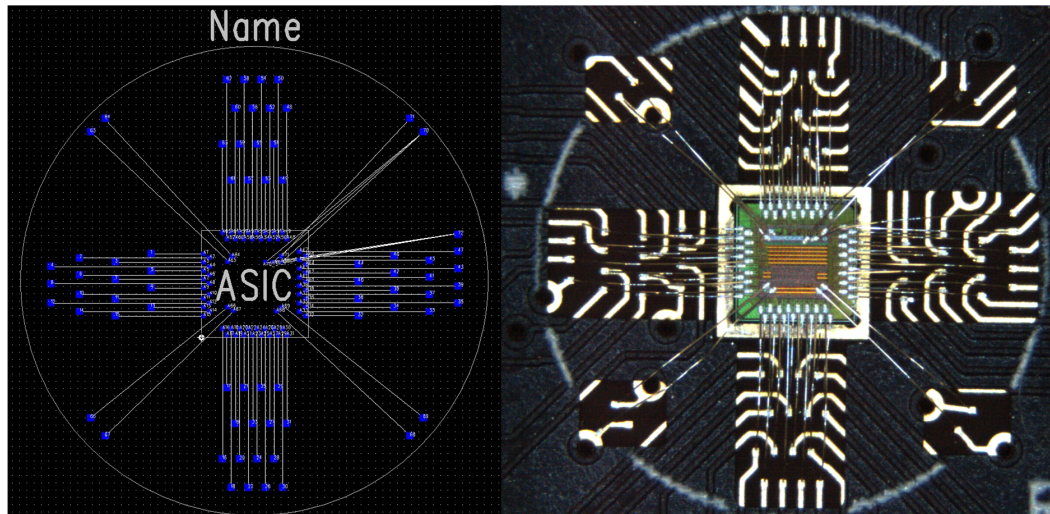


Figure 4.3 Diagramme de microcâblage et empreinte du ASIC

La carte d'interface possède plusieurs caractéristiques, dont les principales sont présentées :

- 1) La majorité des entrées/sorties du ASIC fonctionnent à 1 V, ce qui est évidemment incompatible avec le FPGA. De plus, certaines de ses entrées/sorties fonctionnent à 250 MHz, nécessitant un tampon sur la carte d'interface avec une grande bande passante (> 250 MHz) et fonctionnant à basse tension (1 V).
- 2) Pour déterminer les signaux qui se rendent au ASIC, des cavaliers sont disponibles notamment pour les signaux de départ (FPGA ou générateur de délais) et d'arrêt (oscillateur 250 MHz ou générateur de délais) du CTN.
- 3) Le ASIC nécessite 6 alimentations différentes ($1 V_{QC}$, $1 V_{TDC}$, $1 V_{BUFFER}$, $1 V_{CORE}$, 3,3 V, HV), toutes fournies par des régulateurs de tension linéaires sur la carte d'interface. De plus, des sources de courant pour le fonctionnement du circuit d'étouffement et des références de tension sont fournies au ASIC.
- 4) Pour assurer l'intégrité des signaux, la carte d'interface possède 12 couches. Les couches de dessus et de dessous ont été conçues pour obtenir une impédance des lignes de transmission à 100Ω (différentielles) et à 50Ω (sortie unique). Les couches internes, quant à elles, sont espacées afin d'assurer la meilleure immunité possible entre les différentes alimentations, et la plus grande capacité entre ces alimentations et la masse.

La gigue temporelle du délai entre les signaux de départ et d'arrêt du CTN à l'entrée du ASIC est présentée à la figure 4.4. Elle provient du générateur de délais (présenté plus loin) et des composants sur le circuit imprimé. Sa contribution doit être soustraite de la précision mesurée du CTN.

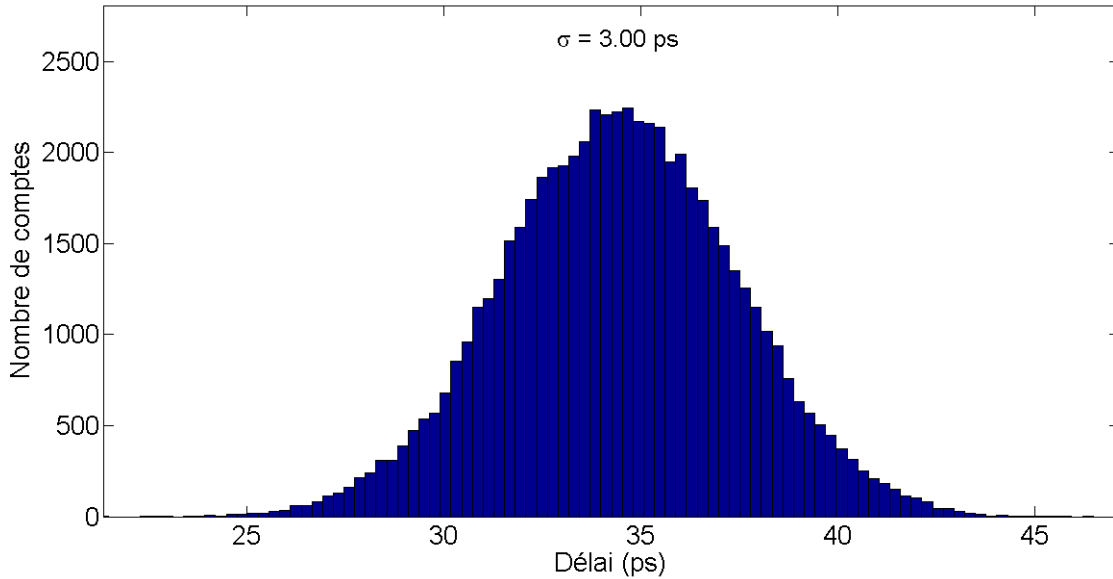


Figure 4.4 Gigue temporelle entre les signaux de départ et d'arrêt à l'entrée du ASIC

4.1.2 Équipements

Générateur de délais

Le générateur de délais¹ (figure 4.5) permet la création de délais fixes à l'entrée du CTN. Il est particulièrement utile pour mesurer la précision du CTN en faisant un balayage de délais sur toute la plage utile. Il est d'ailleurs contrôlé par un code python qui s'occupe du balayage des délais. Le générateur possède une résolution de délais à 250 fs et sa gigue temporelle mesurée est inférieure à 3 ps.



Figure 4.5 Générateur de délais [56]

¹745-4C-GOC

Oscilloscope Agilent

L'oscilloscope² (figure 4.6) permet de mesurer la précision temporelle des oscillateurs du CTN et de la dPLL. Il possède une bande passante de 13 GHz et une fréquence d'échantillonnage maximale de 80 GSa/s. La sonde³ utilisée est différentielle et possède une capacité < 1 pF.

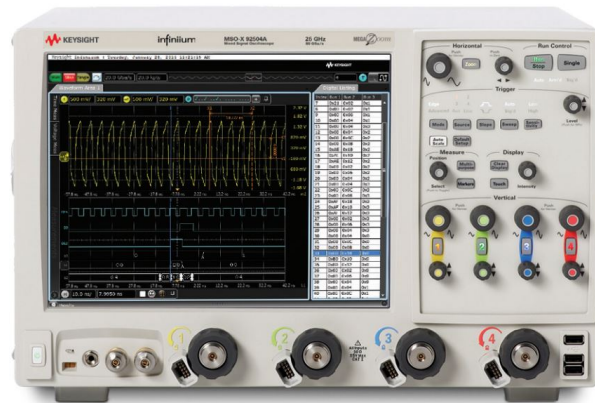


Figure 4.6 Oscilloscope Agilent 13 GHz [67]

4.2 Logiciels

4.2.1 FPGA

Le FPGA de type Xilinx Virtex-5 est cadencé par une horloge à 250 MHz située sur la carte d'acquisition. Il s'occupe entre autres de la communication avec le ASIC et du lien avec l'ordinateur pour le transfert des données. Concernant les CTN, le FPGA envoie des signaux de départ, envoie les résultats à l'ordinateur et s'occupe de leur initialisation. Pour plus de détails, voir le mémoire de Marc-Olivier Mercier [50].

4.2.2 Interface graphique

L'interface graphique est développée en python et fait le lien entre l'ordinateur et le FPGA ou les autres équipements pour les configurations. Par exemple, le CTN2 nécessite des tensions de contrôle pour établir la fréquence des oscillateurs ainsi que sa résolution temporelle, contrairement au CTN1 qui est complètement autonome (tensions de contrôle fournies par la dPLL) (figure 3.14). L'interface permet également de contrôler le générateur

²MSOX91304A

³E2678A

de délais en déterminant son incrément et la durée des mesures. De plus, il communique avec le FPGA pour envoyer des signaux de départ aux CTN à différentes fréquences. La figure 4.7 présente l'interface graphique utile pour les CTN. Pour plus de détails, voir le mémoire de Marc-Olivier Mercier [50].

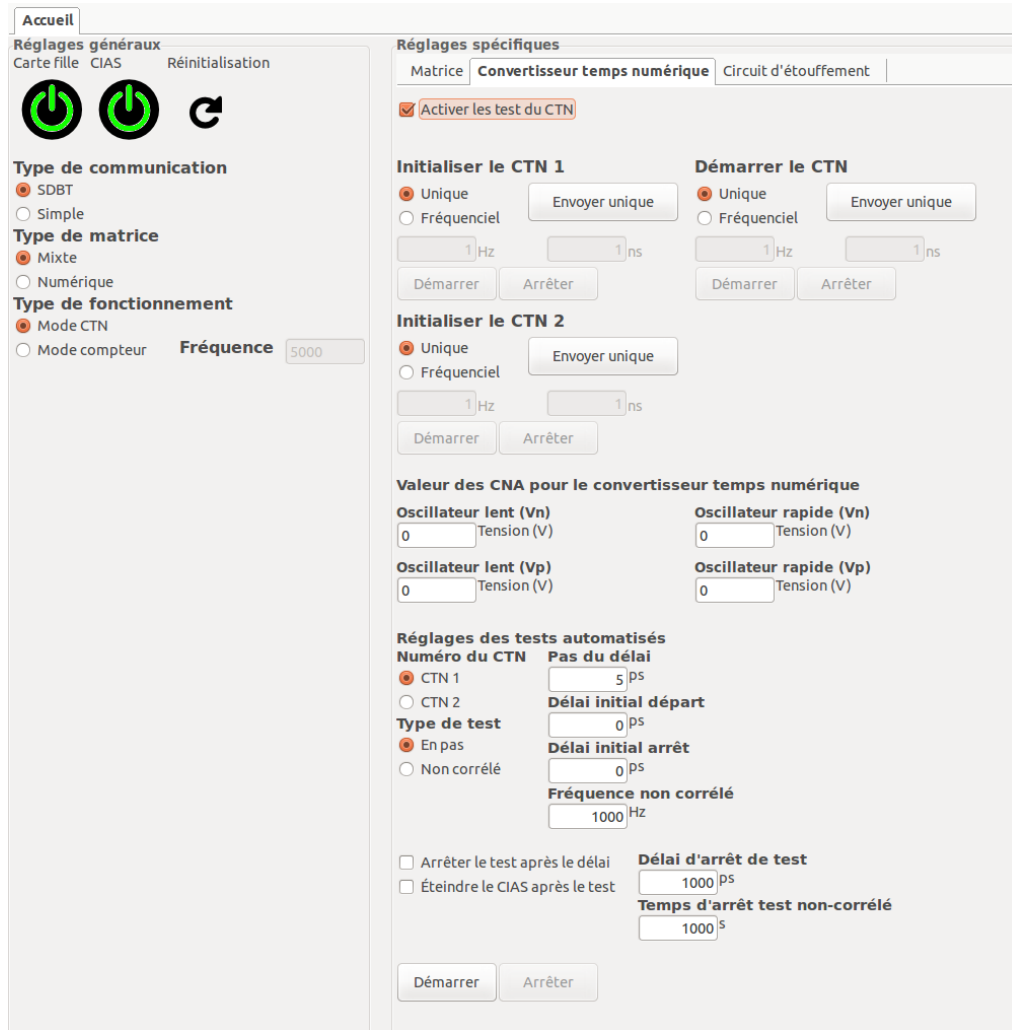


Figure 4.7 Interface graphique pour contrôler le ASIC

4.2.3 Matlab

Le code Matlab s'occupe du post-traitement des étampes temporelles reçues. Il les divise en codes grossiers et en codes fins pour calculer les étampes temporelles finales (équation 3.10, réitérée par 4.2). Il génère ensuite un histogramme des codes pour obtenir plusieurs informations importantes : Linéarité (INL/DNL), résolution, fonction de transfert. Le code calcule également la précision du CTN en fonction des codes, en plus d'afficher les graphiques pertinents.

4.3 Caractéristiques du CTN

4.3.1 Résolution

La résolution correspond à la plus petite unité de mesure du CTN et est déterminée par la différence de période entre les deux oscillateurs du CTN. Pour la mesurer, on doit connaître la plage dynamique du CTN et le nombre de codes total sur cette plage (équation 4.1).

$$Resolution = Plage / Nb_{codes} \quad (4.1)$$

La méthode utilisée pour mesurer la résolution consiste à fournir un signal d'arrêt périodique (250 MHz, situé sur le PCB) au CTN afin de lui imposer une plage dynamique connue (4 ns). Ensuite, un signal de départ non corrélé avec le signal d'arrêt assure une probabilité uniforme des délais fournis au CTN. Cette méthode porte le nom de densité de codes [59] et est très utile pour mesurer la linéarité et la résolution du CTN en générant un histogramme des codes. En effet, l'histogramme permet de trouver le nombre total de codes afin d'en déduire la résolution.

Pour générer l'histogramme, on doit convertir les données du CTN en étampes temporelles finales selon l'équation 3.10, réitérée ici par l'équation 4.2.

$$T_m = [(N_{fin} + 1) \times (Cpt_{gross} - bit_{corr} - 1) + Cpt_{fin}] \times resolution \quad (4.2)$$

La figure 4.8 présente l'allure des histogrammes attendus selon la méthode de densité de codes. Les codes grossiers contiennent une certaine quantité de codes fins, qui se répètent à chaque code grossier. Pour traiter plus facilement les données, il est souhaitable de coller tous les codes grossiers bout à bout afin d'avoir un histogramme contigu. Pour y arriver, on doit ajuster le nombre de codes fins par code grossier (N_{fin}) dans l'équation 4.2.

Évidemment, les oscillateurs possèdent une gigue temporelle non nulle, causant une variation du nombre de codes fins. Ce phénomène peut être observé sur la figure 4.8, à la fin de chaque code grossier où la probabilité d'obtenir les derniers codes fins diminue. Pour avoir un histogramme contigu afin de calculer la résolution et la linéarité du CTN, ces codes seront enlevés. Toutefois, ils demeurent valides et l'étampe temporelle associée peut être calculée de la même façon que les autres codes.

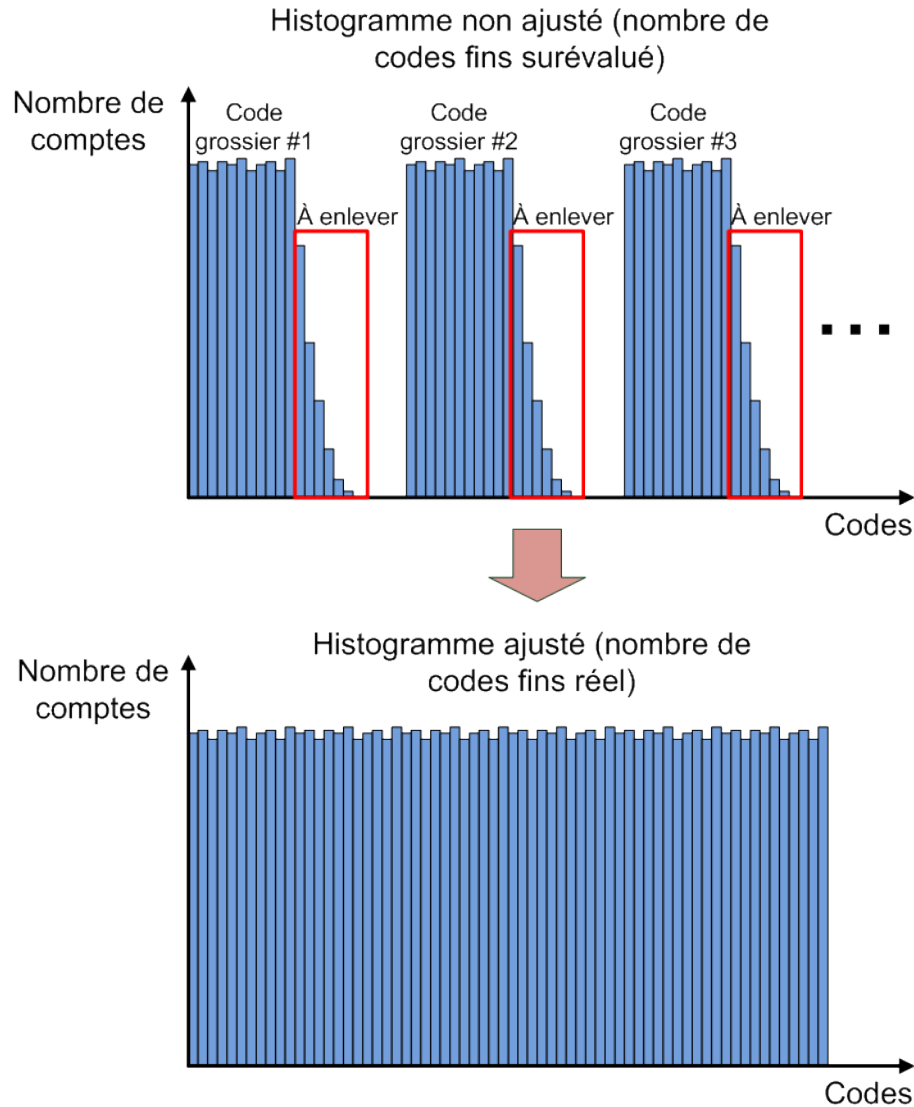


Figure 4.8 Histogrammes des codes attendus selon la méthode de densité de codes

4.3.2 Linéarité

La linéarité (INL/DNL) met en évidence la différence entre les fonctions de transfert réelle et idéale. Elle est calculée à l'aide de l'histogramme (figure 4.8) généré par la méthode de densité de codes (section 4.3.1). La DNL est obtenue avec l'équation 4.3. La INL, quant à elle, est obtenue par la somme de la DNL selon l'équation 4.4.

$$DNL(n) = (N(n)/moyenne) - 1 \quad (4.3)$$

où :

- $DNL(n)$: DNL pour le code n (en LSB)
- $N(n)$: Nombre d'événements dans le code n
- $moyenne$: Moyenne du nombre d'événements par code

$$INL(i) = \sum_{n=1}^i DNL(n) \quad (4.4)$$

où :

- $INL(i)$: INL pour le code i (en LSB)
- $DNL(n)$: DNL pour le code n (en LSB)

4.3.3 Précision

La précision temporelle du CTN varie en fonction du code obtenu. Il est donc important de la mesurer pour chacun des codes afin d'évaluer son impact sur les performances d'un système complet. Pour ce faire, un générateur de délais fait un balayage sur toute la plage du CTN. Ensuite, avec les codes obtenus, deux méthodes sont utilisées pour évaluer la valeur de la précision temporelle :

- 1) En générant une distribution des codes du CTN pour chaque délai du générateur afin de déduire son écart-type. Cette méthode, présentée à la figure 4.9, est valide lorsque la distribution se fait sur plusieurs codes.
- 2) En déconvoluant la distribution de chaque code du CTN (en fonction du délai du générateur) avec la résolution du CTN. Contrairement à la première méthode, la précision temporelle peut être calculée même si elle est plus petite que la largeur d'un code. La figure 4.10 illustre cette méthode.

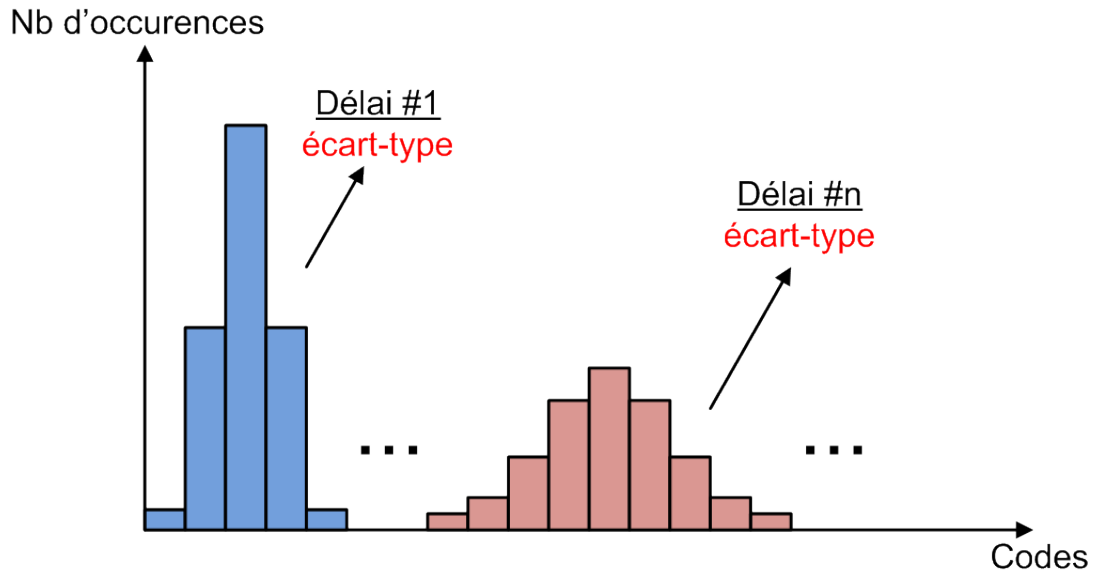


Figure 4.9 Précision du CTN (écart-type des codes)

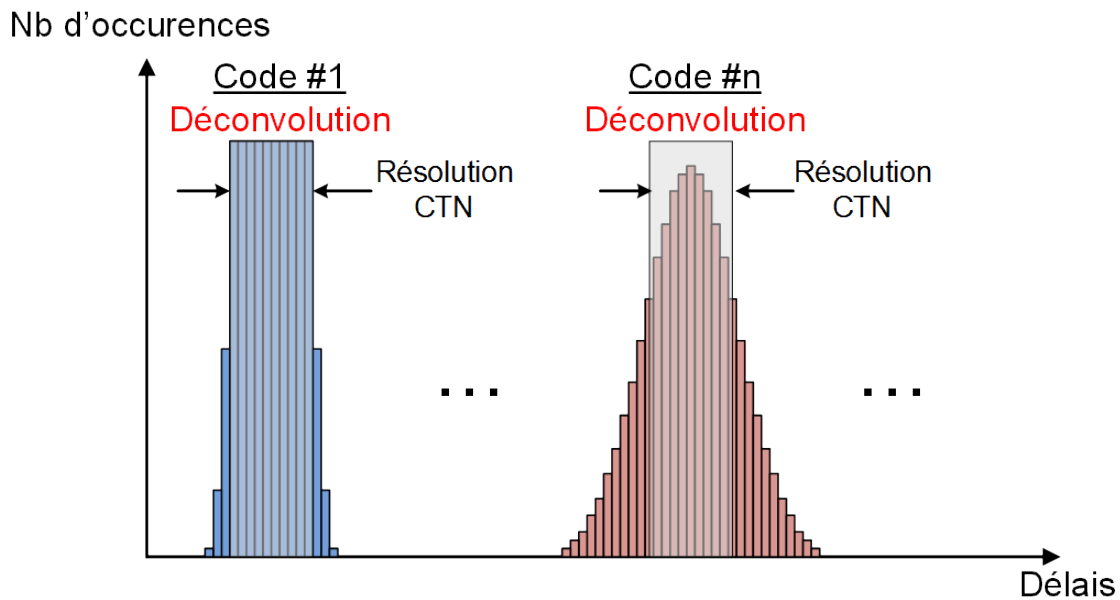


Figure 4.10 Précision du CTN (déconvolution)

Dans les deux cas, il ne faut pas oublier de soustraire en quadrature les giges temporelles du générateur et du PCB pour obtenir la précision temporelle du CTN. La figure 4.11 présente l'allure que devrait avoir la précision temporelle en fonction des codes du CTN. Les pentes sont causées par le nombre croissant de tours en mode vernier, jusqu'à l'incrément d'un code grossier.

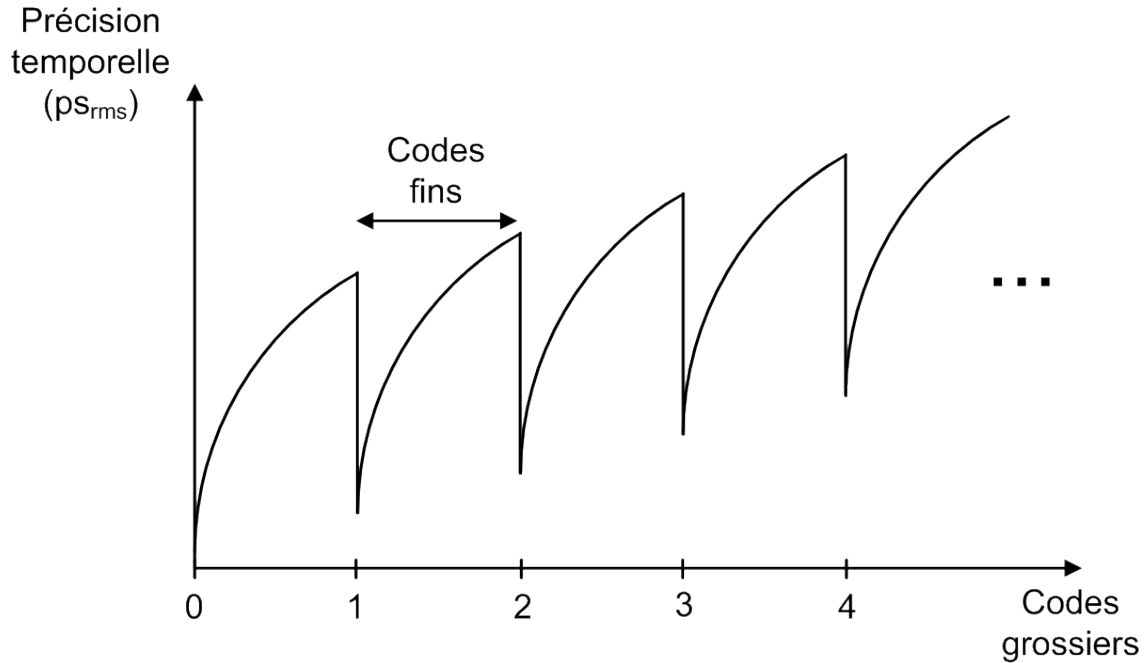


Figure 4.11 Précision du CTN attendue en fonction des codes

4.3.4 Fréquence de conversion

La fréquence de conversion est la fréquence maximale à laquelle le CTN peut effectuer des mesures. Elle dépend de la résolution et de la fréquence des oscillateurs qui font varier le temps de conversion du CTN selon l'équation 3.6, réitérée par l'équation 4.5.

$$T_{Cmax} = T_{arret} + T_L^2 / Res \approx T_L^2 / Res \quad (4.5)$$

Pour la mesurer, on injecte un signal de départ provenant du FPGA et un signal d'arrêt provenant d'un oscillateur à 250 MHz (non corrélé avec le signal de départ). Ensuite, le signal « CTN Active » permet de mesurer le temps de conversion du CTN en générant un niveau haut à partir du moment où le CTN reçoit le signal de départ jusqu'à sa réinitialisation. Avec l'oscilloscope, on génère l'histogramme de la durée de l'impulsion du « CTN Active » pour déterminer le temps de conversion maximal du CTN.

4.3.5 Consommation

La consommation du CTN est principalement dépendante de la fréquence de conversion. Pour la mesurer, une résistance de 100 Ω est ajoutée en série avec l'alimentation dédiée du CTN2. Ensuite, pour différentes fréquences du signal de départ, on mesure la tension

rms aux bornes de la résistance. Le signal d'arrêt possède quant à lui une fréquence de 250 MHz et est non corrélé avec le signal de départ. Ceci représente une situation réelle en assurant une probabilité uniforme des délais fournis au CTN. La figure 4.12 présente l'allure de la consommation du CTN en fonction de la fréquence de conversion.

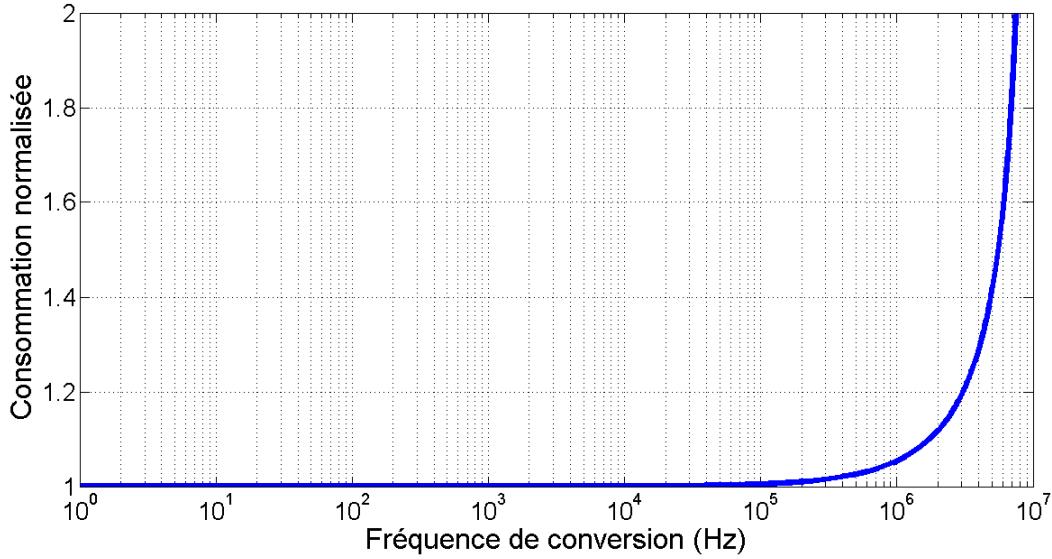


Figure 4.12 Consommation normalisée du CTN

4.3.6 Plage dynamique

La plage dynamique est l'étendue du temps mesurable avec le CTN. Dans le cas d'un signal d'arrêt périodique, elle est équivalente à sa période (4 ns dans le cas d'un signal d'arrêt à 250 MHz). Dans le cas d'un signal d'arrêt apériodique, la plage dynamique dépend de la profondeur du compteur grossier et de la période de l'oscillateur lent selon l'équation 3.8, réitérée par l'équation 4.6.

$$Plage = 2^{Ng} \times T_L \quad (4.6)$$

4.3.7 Caractéristiques des oscillateurs

Des structures de tests ont été spécifiquement implantées pour évaluer la période moyenne et la gigue temporelle des oscillateurs grâce à l'oscilloscope qui génère l'histogramme de leur période. Les mesures sont effectuées sur l'oscillateur directement asservi par la dPLL, sur les oscillateurs lent et rapide asservis par la dPLL et sur les oscillateurs contrôlés par des tensions de contrôle externes.

CHAPITRE 5

RÉSULTATS ET DISCUSSIONS

5.1 Précision

Tableau 5.1 Précision des CTN

	CTN1 (dPLL activée)	CTN1 (dPLL désactivée)	CTN2
Précision rms (max)	44,6 ps	26,7 ps	26,9 ps
Précision rms (moyenne)	26,7 ps	13,9 ps	16,2 ps
Précision rms (min)	8 ps	4,7 ps	4,9 ps
Résolution	58 ps	34,8 ps	14,4 ps
Fréquence de l'oscillateur lent	0,96 GHz	1,25 GHz	1,58 GHz
Fréquence de l'oscillateur rapide	1,02 GHz	1,31 GHz	1,62 GHz

La précision du CTN (σ_{CTN}) dépend de la gigue temporelle de ses différents blocs selon l'équation 5.1.

$$\sigma_{CTN} = \sqrt{\sigma_{prelogique}^2 + (n_s \times \sigma_{osc\ lent}^2) + (n_v \times \sigma_{osc\ vernier}^2) + \sigma_{circuit\ coincidence}^2} \quad (5.1)$$

où :

- n_s : Nombre de tours en mode oscillateur simple
- n_v : Nombre de tours en mode vernier
- $\sigma_{osc\ vernier} = \sqrt{\sigma_{osc\ lent}^2 + \sigma_{osc\ rapide}^2}$

Avec les mesures, on ne peut toutefois pas isoler chacune des contributions. On sait par contre que seules les contributions reliées aux oscillateurs varient selon le code du CTN. Selon certaines simulations, la gigue temporelle (cycle à cycle) d'un oscillateur du CTN (selon les configurations du CTN2, tableau 5.1) avoisinerait les $2,7\ ps_{rms}$. Puisque les autres contributions ne dépendent pas des codes, elles sont négligeables par rapport à l'imprécision maximale du CTN. Cette imprécision maximale dépend principalement de deux paramètres :

- 1) Le nombre de tours maximal en mode vernier, qui est déterminé par la fréquence des oscillateurs et par la résolution du CTN selon l'équation 3.4.

2) La gigue temporelle des oscillateurs qui varie selon le niveau de bruit présent dans le circuit et leur pente (donc leur fréquence).

Le tableau 5.1 présente la précision temporelle de différentes configurations de CTN (CTN1 (avec et sans dPLL) et CTN2 (oscillateurs contrôlés en fréquence par des tensions externes)). Les variations observées seraient probablement dues aux différentes fréquences des oscillateurs et aux différentes résolutions des CTN, tel qu'expliqué précédemment.

Les figures 5.1, 5.3 et 5.6 présentent la précision temporelle mesurée des CTN en fonction des codes, calculée selon les deux méthodes présentées à la section 4.3.3 (écart-type des codes et déconvolution du signal). Les pentes sont causées par le nombre croissant de tours en mode vernier, jusqu'à l'incrément d'un code grossier. Ceci démontre bien l'impact du nombre de tours en mode vernier sur la précision temporelle du CTN. Puisque le but du CTN est d'attribuer une étampe temporelle à chaque photon (donc des mesures uniques), sa précision temporelle est limitée soit par sa gigue temporelle, soit par sa résolution. La figure 5.5 présente la précision du CTN2 en fonction de sa résolution. Cette figure est importante puisqu'elle permet de déterminer la résolution optimale du CTN2 (à l'endroit où la résolution (ps) = gigue temporelle (ps)). Le CTN2 a donc été testé à la résolution optimale de 14,4 ps (~ 15 ps).

Les figures 5.2, 5.4, et 5.7 présentent les codes du CTN en fonction du délai du générateur. Ces graphiques sont intéressants dans la mesure où ils permettent de visualiser l'enveloppe des codes du CTN, qui s'élargit lorsque le nombre de tours des oscillateurs en mode vernier augmente. De plus, l'enveloppe permet de déduire la période de l'oscillateur grossier. Sur la figure 5.2, on constate que la dPLL asservit bel et bien la période de l'oscillateur grossier à environ 1 ns, comparativement à la figure 5.4 (dPLL désactivée) qui se situe aux alentours de 0,8 ns. Ces graphiques permettent également d'observer des anomalies de codes du CTN. En effet, au 1/4 d'un cycle, le circuit de coïncidence n'arrête pas suffisamment rapidement le compteur grossier, engendrant un compte de trop. De plus, à la fin d'un cycle, le circuit de coïncidence arrête prématurément le compteur grossier, créant un compte de moins (section 3.1.3). Ces problèmes n'empêchent pas de caractériser le CTN, mais devront toutefois être corrigés dans la prochaine version du circuit.

En conclusion, pour obtenir une précision sous les 5 ps_{rms} , il sera primordial de réduire d'une part la gigue temporelle des oscillateurs et d'autre part de s'assurer que les autres contributions, présentées à l'équation 5.1, soient minimisées. Pour y arriver, une fréquence plus élevée des oscillateurs (par exemple 2 GHz) est requise. L'architecture des oscillateurs devra également être réévaluée pour minimiser la gigue temporelle du CTN.

5.1.1 Gigue temporelle du CTN1

dPLL activée

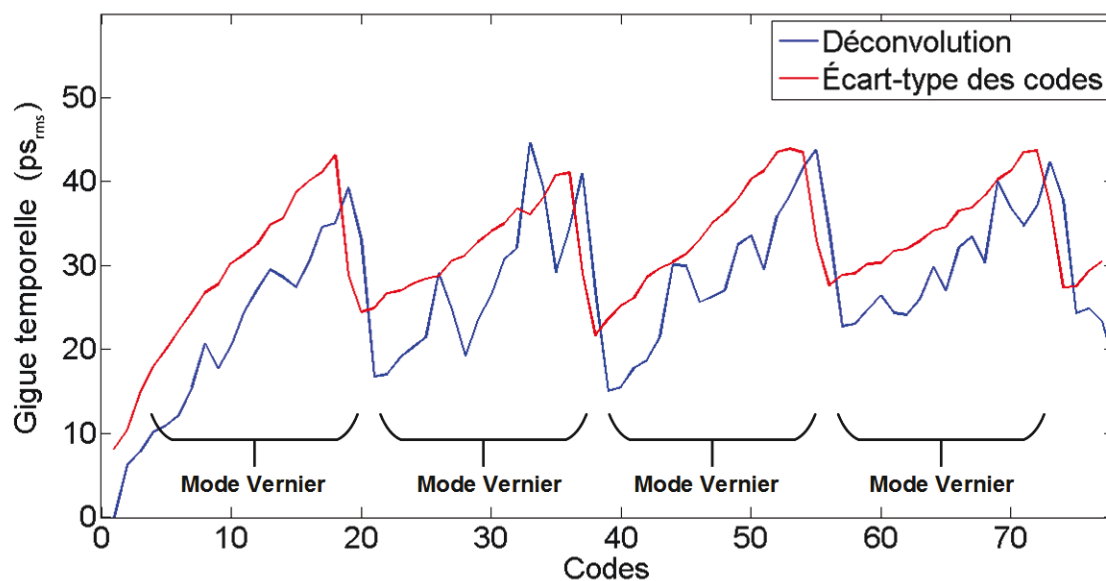


Figure 5.1 Gigue temporelle (mesurée) du CTN1 (dPLL activée) selon les méthodes d'écart-type des codes et de déconvolution

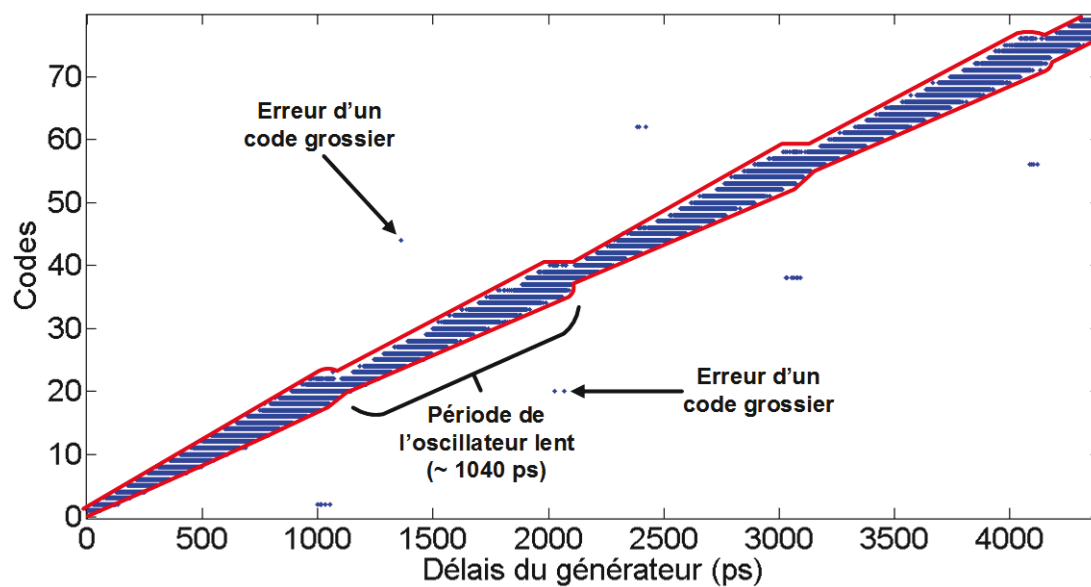


Figure 5.2 Codes du CTN1 (dPLL activée) en fonction des délais du générateur

PLL désactivée

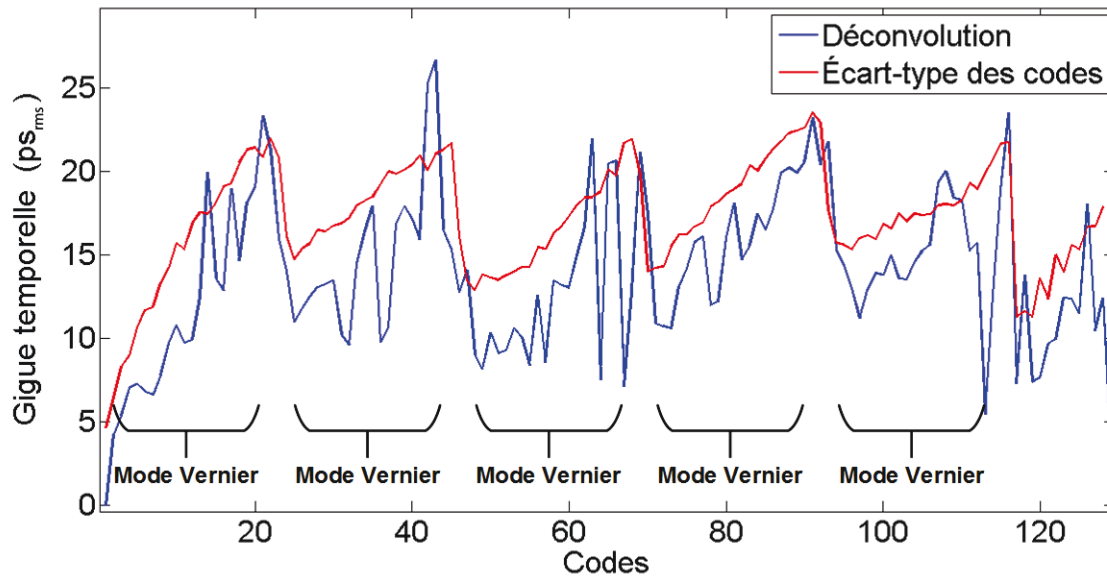


Figure 5.3 Gigue temporelle (mesurée) du CTN1 (dPLL désactivée) selon les méthodes d'écart-type des codes et de déconvolution

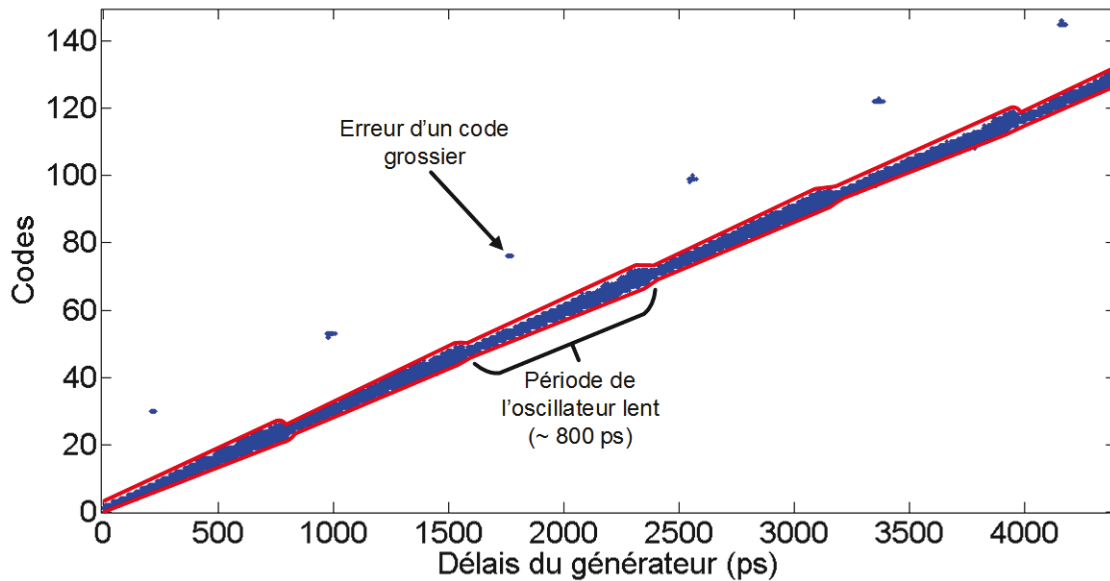


Figure 5.4 Codes du CTN1 (dPLL désactivée) en fonction des délais du générateur

5.1.2 Gigue temporelle du CTN2

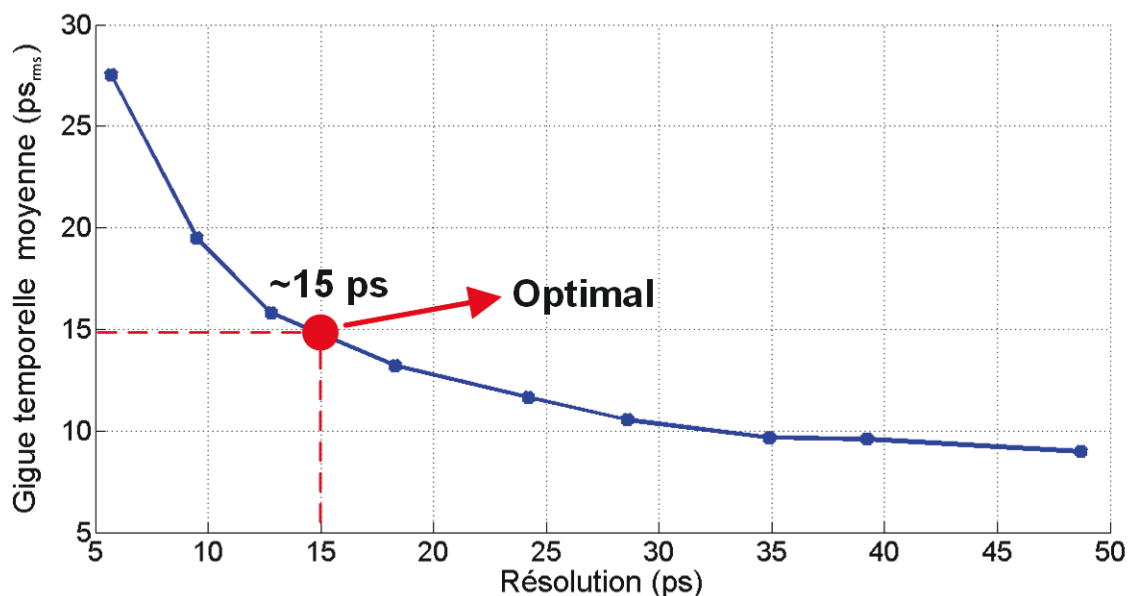


Figure 5.5 Gigue temporelle moyenne du CTN2 en fonction de sa résolution

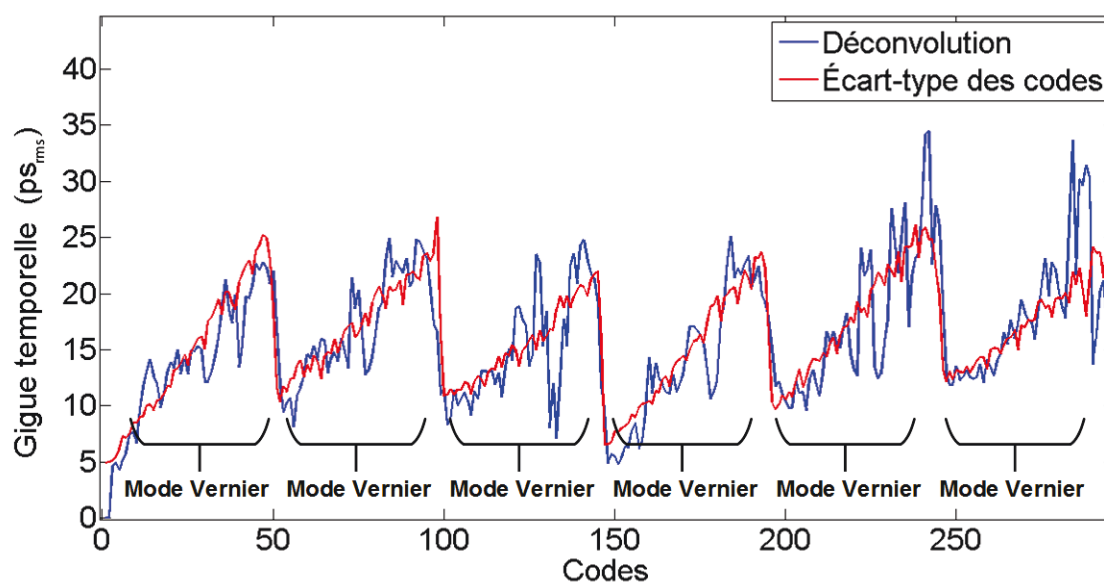


Figure 5.6 Gigue temporelle (mesurée) du CTN2 selon les méthodes d'écart-type des codes et de déconvolution.

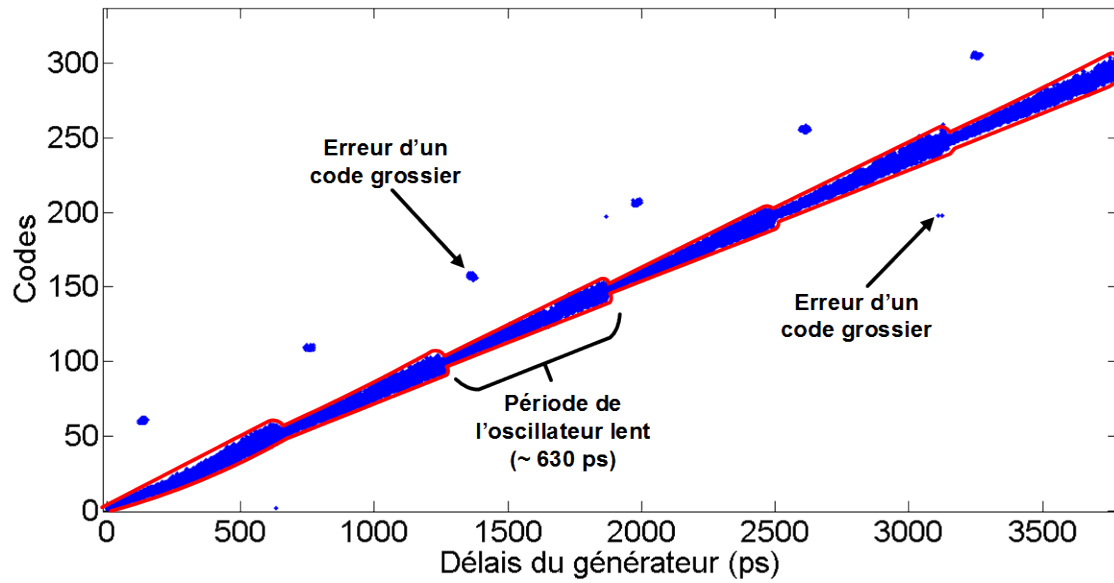


Figure 5.7 Codes du CTN2 en fonction des délais du générateur

5.2 Linéarité

Tableau 5.2 Linéarité des CTN

	CTN1 (dPLL activée)	CTN1 (dPLL désactivée)	CTN2
DNL (LSB)	0,79	0,35	0,37
INL (LSB)	0,75	0,65	3,3
Résolution	58 ps	34,8 ps	14,4 ps
Fréquence de l'oscillateur lent	0,96 GHz	1,25 GHz	1,58 GHz
Fréquence de l'oscillateur rapide	1,02 GHz	1,31 GHz	1,62 GHz

Le tableau 5.2 présente la linéarité des différentes configurations de CTN. Elle est déterminée à partir des histogrammes générés par la méthode de densité de codes présentée à la section 5.3. Ces histogrammes contiennent des régions problématiques détériorant la linéarité du CTN. Deux causes sont responsables de ces non-linéarités :

1) Tout d'abord, une bosse est présente dans les premiers codes, suivi d'un creux juste après et d'un autre creux à la moitié des codes (à environ 2 ns sur une plage dynamique de 4 ns). Ces imperfections surviennent au début et au milieu de la plage dynamique du CTN (donc à toutes les 2 ns). Puisque l'horloge à 250 MHz (utilisée pour sortir les données du sérialiseur) n'est pas corrélée avec les signaux de départ et d'arrêt du CTN, elle ne peut être la cause de ces non-linéarités. Des tests ont été effectués en modifiant l'amplitude du signal d'arrêt à 250 MHz, provoquant une modification des bosses et des creux problématiques. L'hypothèse la plus plausible serait un couplage capacitif entre les signaux de départ et d'arrêt. En effet, les non-linéarités présentes en début de plage du CTN seraient causées par le front montant du signal de départ qui injecterait des charges sur le signal d'arrêt, diminuant ainsi le délai entre ces deux signaux. Quant aux non-linéarités présentes au milieu de la plage du CTN, elles seraient dues au front descendant du signal d'arrêt qui injecterait des charges sur le signal de départ, modifiant encore une fois le délai entre ces deux signaux. Pour corriger ce problème, il faudra porter une attention particulière au couplage capacitif entre les signaux de départ et d'arrêt en les éloignant l'un de l'autre ou en les blindant. Dans une matrice complète où le signal d'arrêt correspond à l'horloge système et le signal de départ à la sortie du circuit d'étouffement, ce phénomène serait probablement moins présent dû à la proximité du circuit d'étouffement et du CTN. Néanmoins, il est important d'avoir en tête de minimiser tout couplage capacitif entre ces signaux afin de réduire les non-linéarités du CTN.

2) À chaque premier code fin, les histogrammes présentent un bin de CTN beaucoup plus court que les autres. Ceci serait dû à un premier tour d'oscillateur plus long que les autres. Cette hypothèse est renforcée en constatant ce phénomène à partir du deuxième code grossier seulement. En effet, puisque les oscillateurs lent et rapide présentent ce même

problème, le phénomène s'annule pour le premier code grossier seulement. La largeur des cycles a été vérifiée en simulation où une différence d'environ 10 ps est présente entre le premier tour et les autres. En effet, lorsque les oscillateurs sont inactifs, tous les noeuds sont fixés aux alimentations. Toutefois, lorsque les oscillateurs démarrent, le noeud du transistor de contrôle nécessite une période pour se stabiliser à sa valeur en régime permanent, créant ainsi une légère différence entre le premier tour et les tours subséquents.

Les figures 5.8, 5.11 et 5.14 présentent les fonctions de transfert des CTN afin de mieux visualiser leur linéarité. Les figures 5.9, 5.12 et 5.15 présentent la non-linéarité différentielle des CTN. On peut y observer les problématiques décrites plus haut. Les figures 5.10, 5.13 et 5.16 présentent la non-linéarité intégrale des CTN. Elle correspond à la somme des DNL et permet de construire la fonction de transfert. Finalement, les figures 5.17 et 5.18 présentent la DNL et la INL en fonction de la résolution du CTN. Il est intéressant de constater que la INL (en picoseconde) en fonction de la résolution est pratiquement fixe pour un CTN donné. Pour que la INL soit inférieure à 1 LSB (avec une résolution de 5 ps), il faudra éliminer les problèmes décrits plus haut.

5.2.1 Linéarité du CTN1

dPLL activée

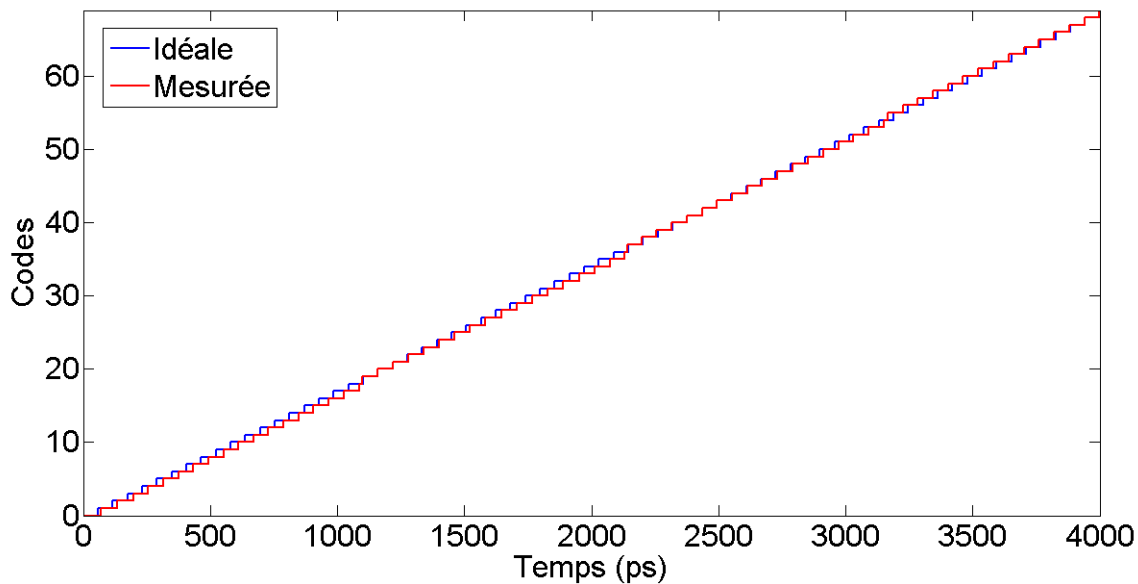


Figure 5.8 Fonction de transfert du CTN1 (dPLL activée)

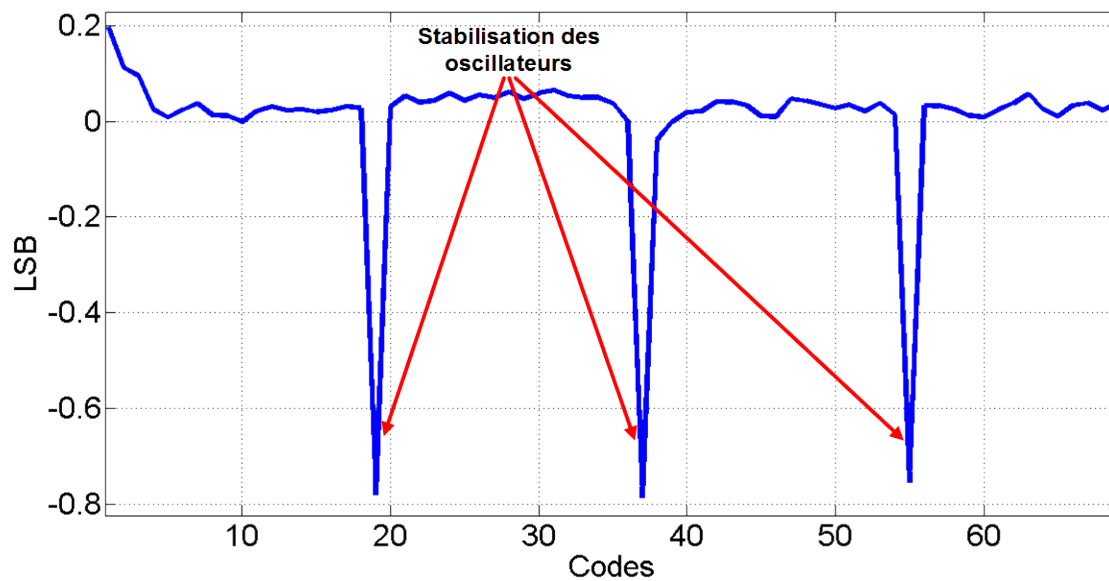


Figure 5.9 Non-linéarité différentielle (DNL) du CTN1 (dPLL activée)

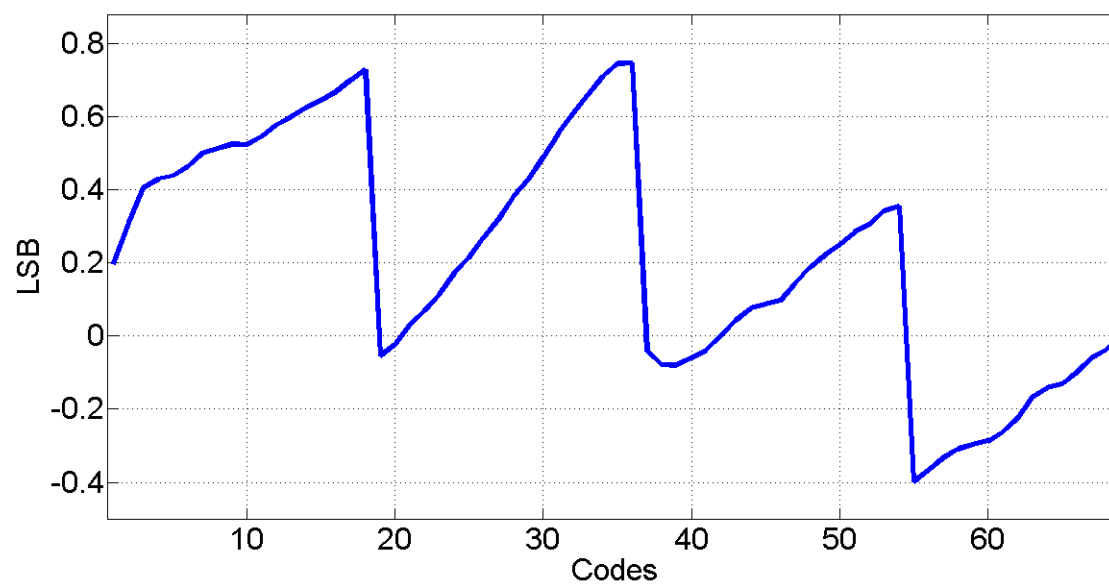


Figure 5.10 Non-linéarité intégrale (INL) du CTN1 (dPLL activée)

dPLL désactivée

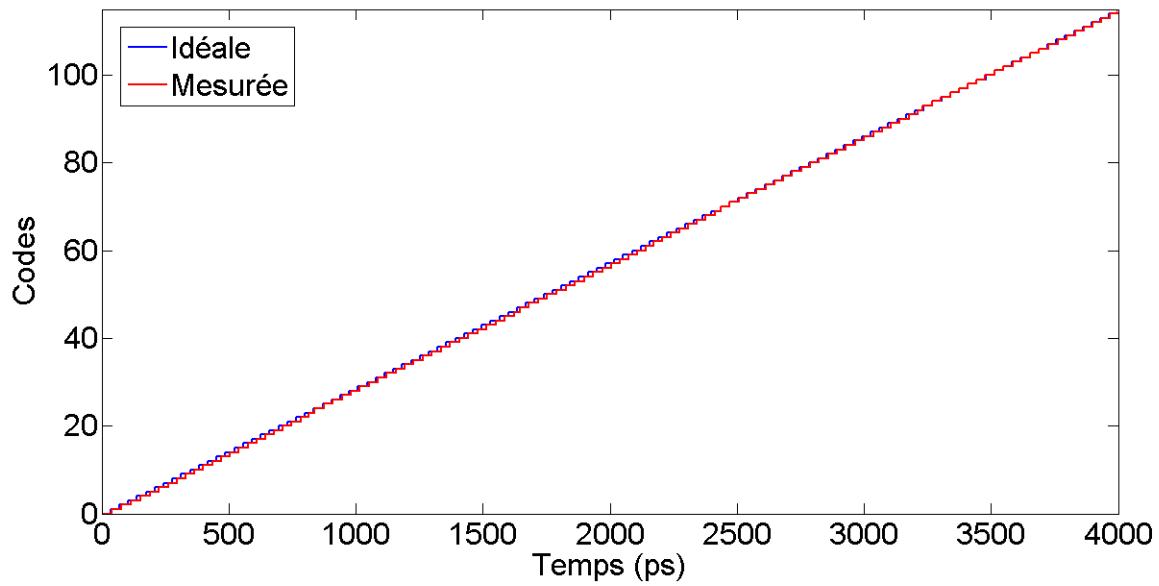


Figure 5.11 Fonction de transfert du CTN1 (dPLL désactivée)

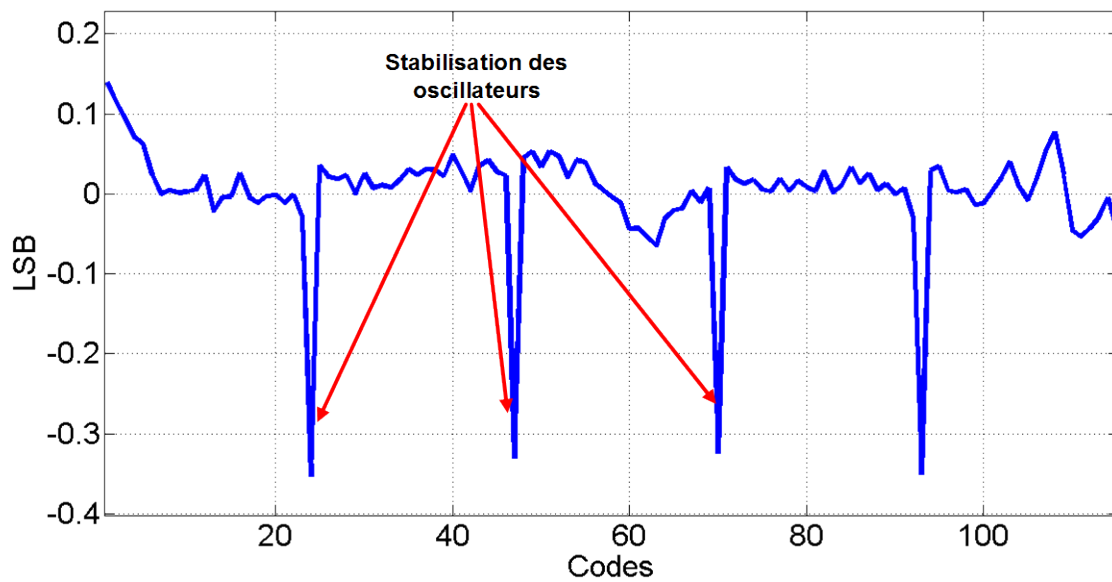


Figure 5.12 Non-linéarité différentielle (DNL) du CTN1 (dPLL désactivée)

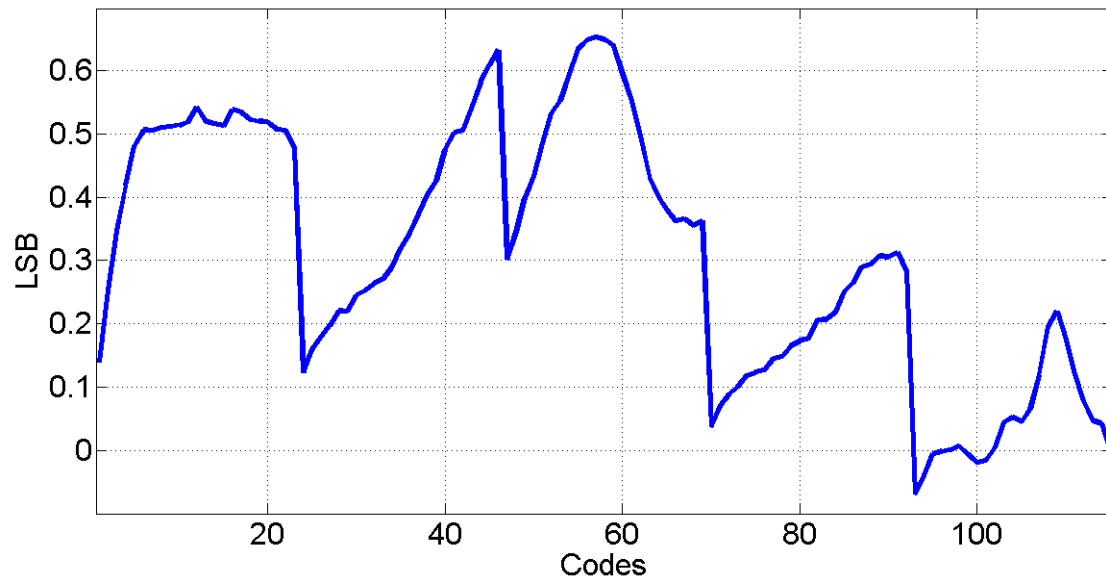


Figure 5.13 Non-linéarité intégrale (INL) du CTN1 (dPLL désactivée)

5.2.2 Linéarité du CTN2

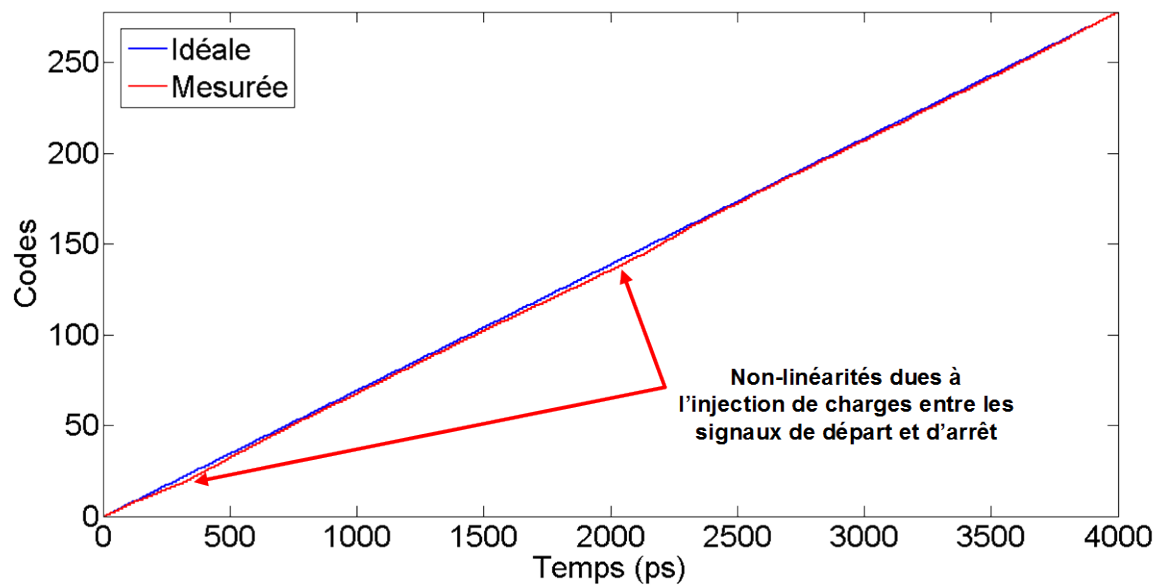


Figure 5.14 Fonction de transfert du CTN2

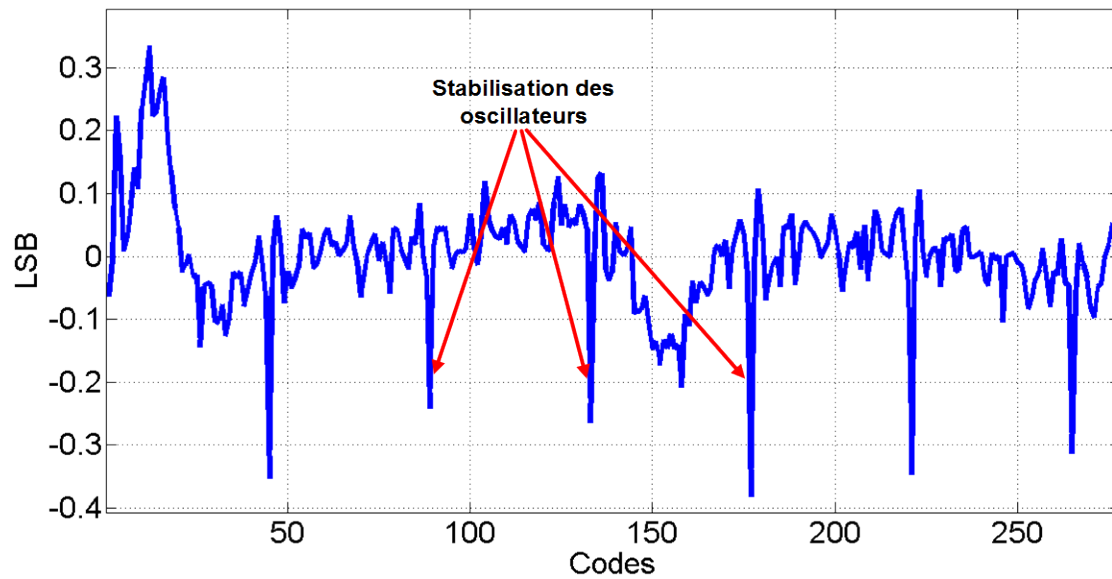


Figure 5.15 Non-linéarité différentielle (DNL) du CTN2

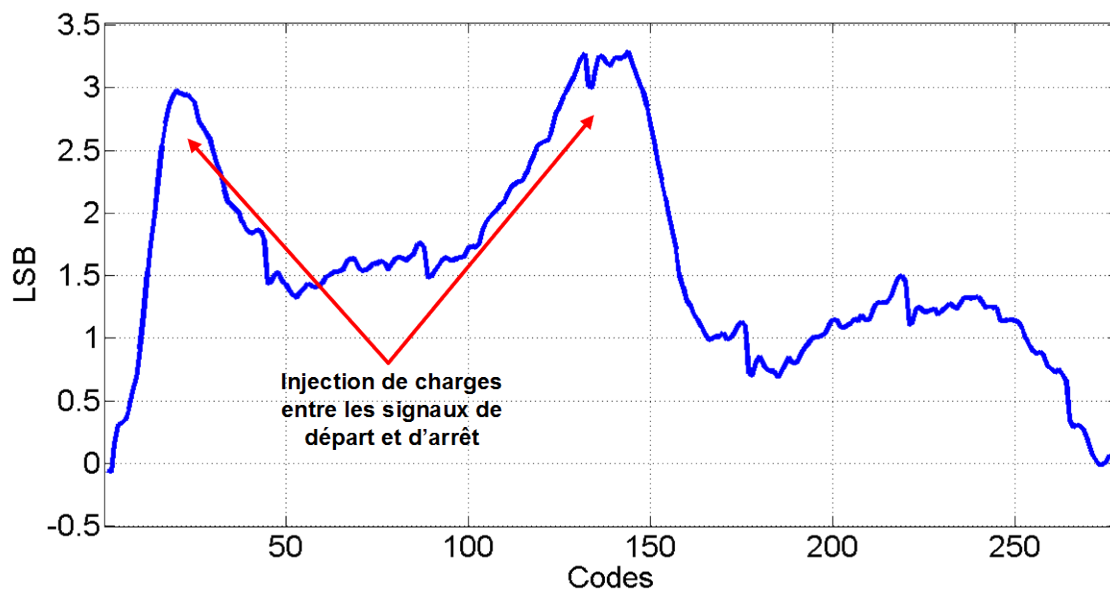


Figure 5.16 Non-linéarité intégrale (INL) du CTN2

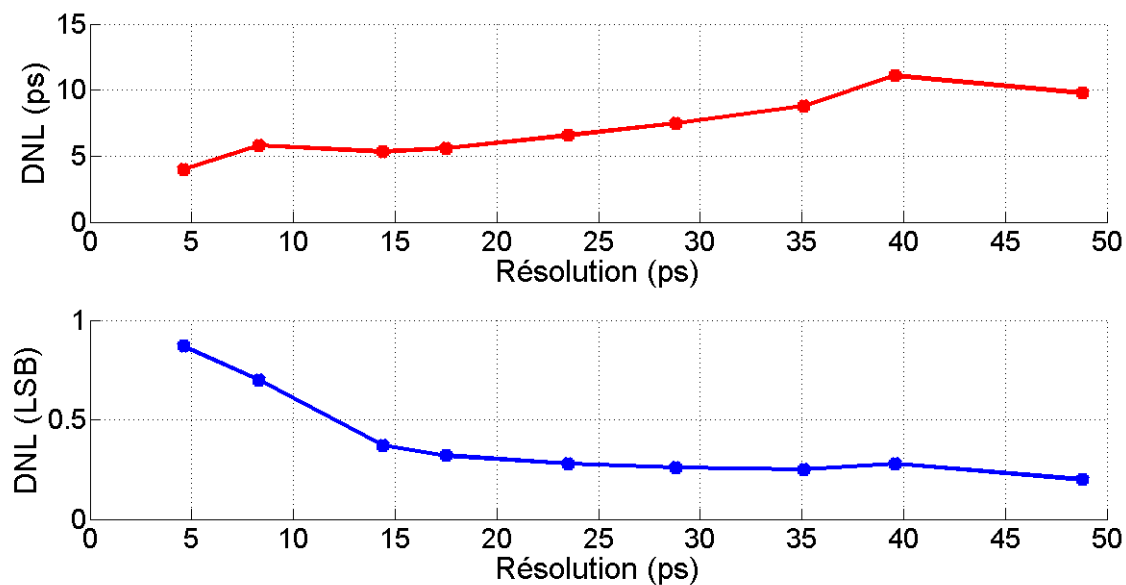


Figure 5.17 Non-linéarité différentielle (DNL) du CTN2 (en ps et en LSB) en fonction de sa résolution

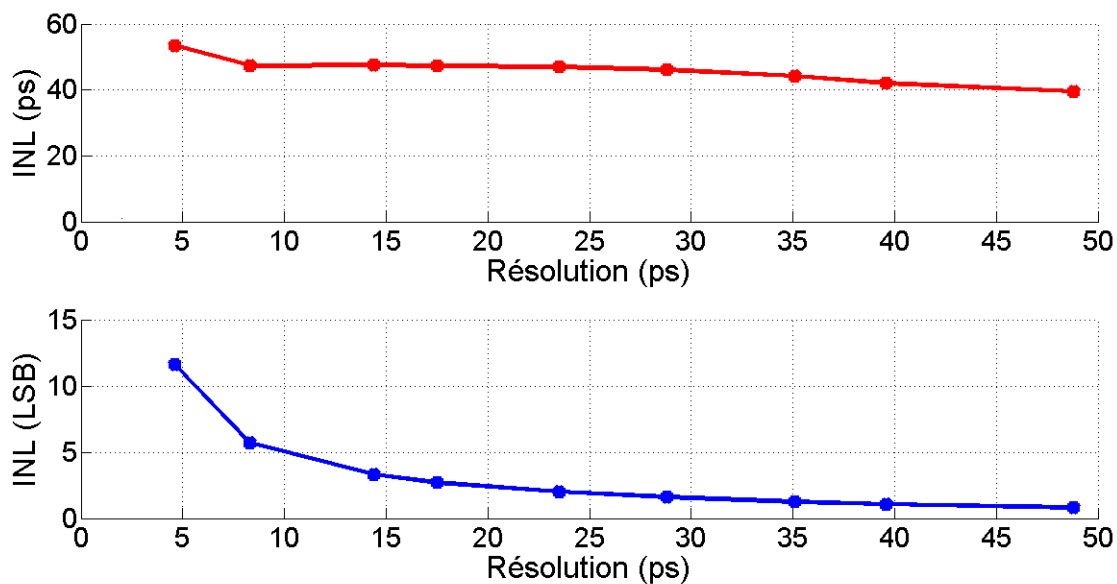


Figure 5.18 Non-linéarité intégrale (INL) du CTN2 (en ps et en LSB) en fonction de sa résolution

5.3 Résolution temporelle

Tableau 5.3 Résolution temporelle des CTN

	CTN1 (dPLL activée)	CTN1 (dPLL désactivée)	CTN2
Résolution	58 ps	34,8 ps	14,4 ps
Fréquence de l'oscillateur lent	0,96 GHz	1,25 GHz	1,58 GHz
Fréquence de l'oscillateur rapide	1,02 GHz	1,31 GHz	1,62 GHz

Le tableau 5.3 présente la résolution temporelle des différentes configurations de CTN. Le CTN1 possède une résolution temporelle inattendue, dépassant les 30 ps comparativement aux 5 ps simulées. D'ailleurs, la résolution a été mesurée sur trois différents ASIC, variant entre 20 ps et 60 ps pour le CTN1. Comme il a été mentionné à la section 3.1.2, obtenir une résolution temporelle à 5 ps est ambitieux compte tenu des variations de procédé. Un CNA sur chacun des oscillateurs permettrait d'obtenir la résolution souhaitée malgré les variations de procédé.

Malgré la différence entre les mesures et les simulations, le CTN2 permet un ajustement complet des oscillateurs afin de changer sa résolution. Le CTN2 peut donc être testé avec de meilleures résolutions. D'ailleurs, il a été montré à la section 5.1 que la résolution optimale du CTN2 est d'environ 15 ps. C'est donc pour cette raison que le CTN2 a été testé à 14,4 ps (~ 15 ps). Les figures 5.19, 5.21 et 5.23 présentent les histogrammes des codes avec la méthode de densité de codes pour les deux CTN. Ces histogrammes subissent ensuite un ajustement afin d'obtenir des histogrammes contigus pour déterminer la résolution. Ils sont d'ailleurs présentés aux figures 5.20, 5.22 et 5.24. Pour connaître les détails de l'ajustement des histogrammes et le calcul de la résolution, référez-vous à la section 4.3.1. De plus, l'allure de ces histogrammes influence la linéarité des CTN et est donc davantage détaillée dans la section 5.2.

5.3.1 Histogrammes du CTN1

dPLL activée

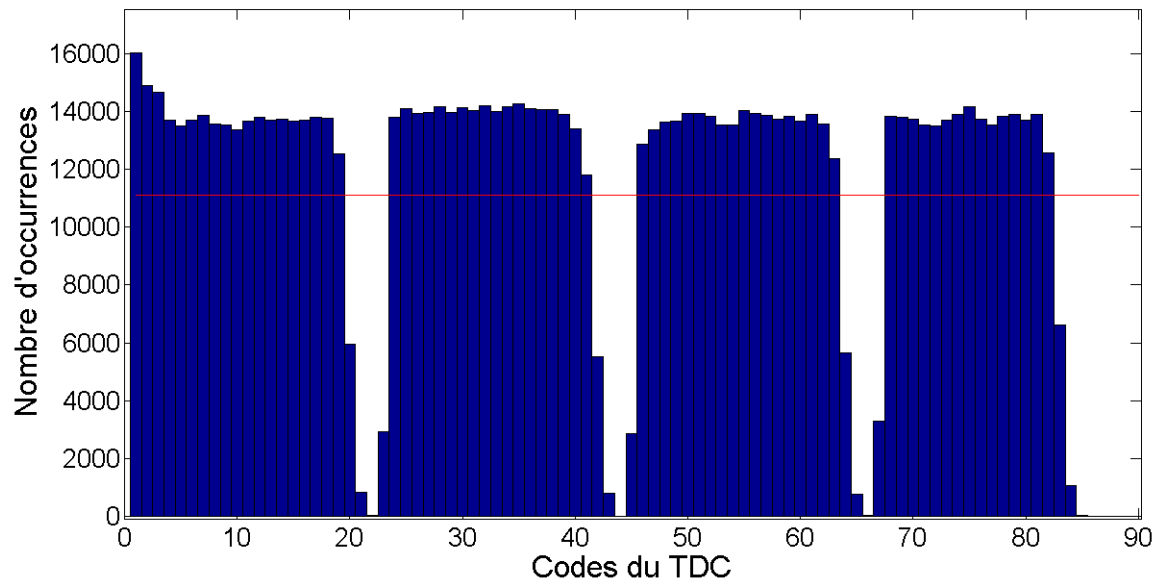


Figure 5.19 Histogramme des codes du CTN1 (dPLL activée) sans ajustement

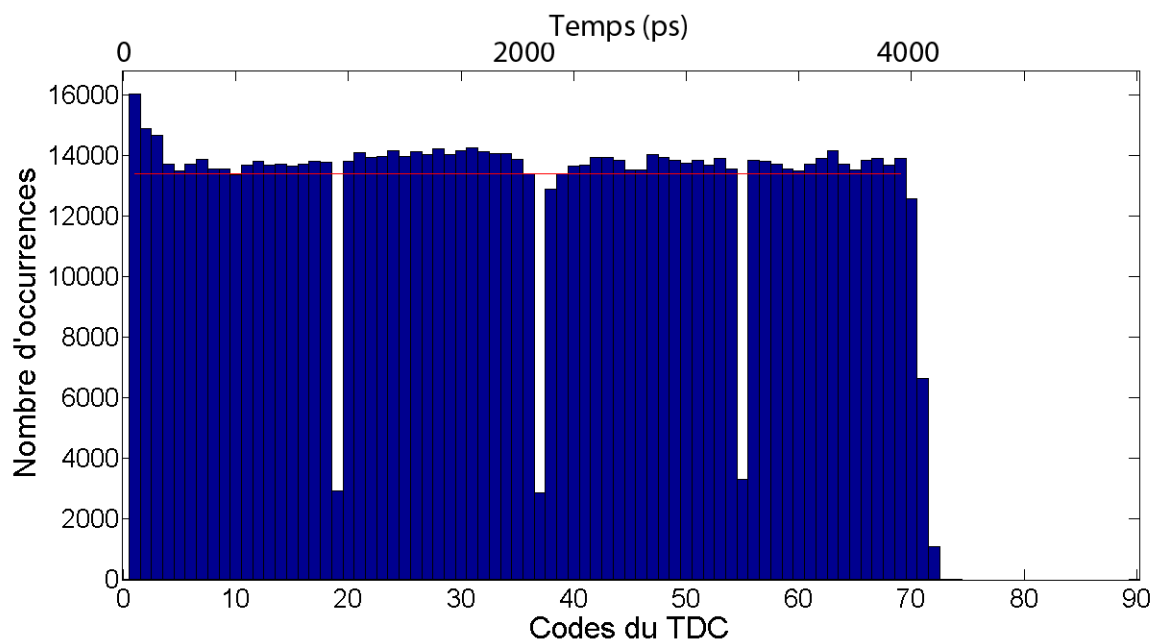


Figure 5.20 Histogramme des codes du CTN1 (dPLL activée) avec ajustement

dPLL désactivée

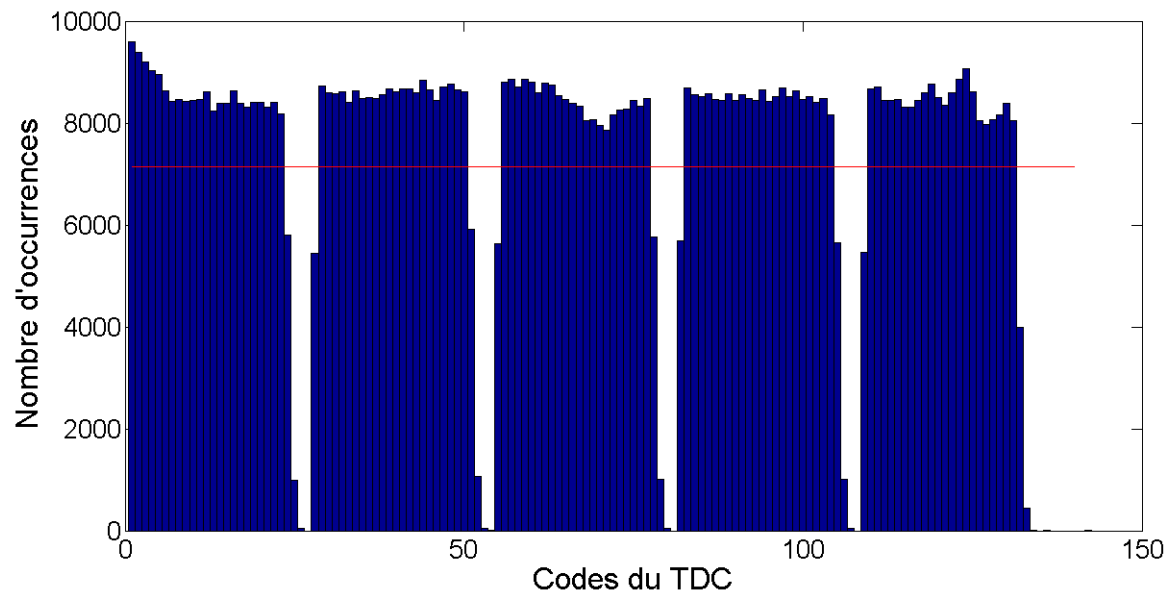


Figure 5.21 Histogramme des codes du CTN1 (dPLL désactivée) sans ajustement

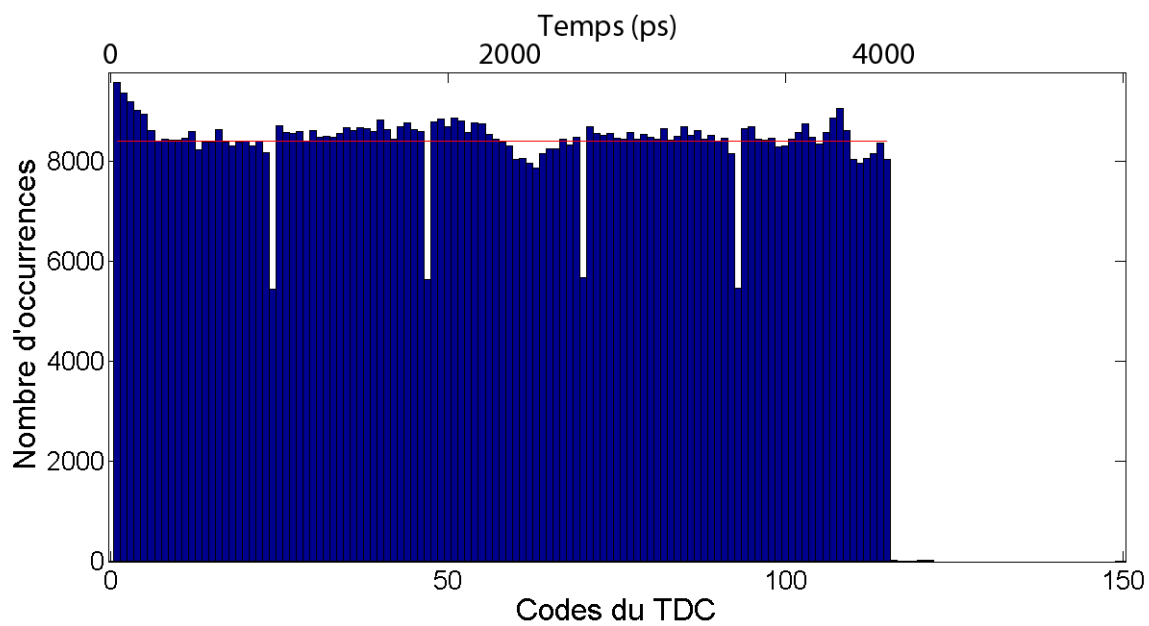


Figure 5.22 Histogramme des codes du CTN1 (dPLL désactivée) avec ajustement

5.3.2 Histogrammes du CTN2

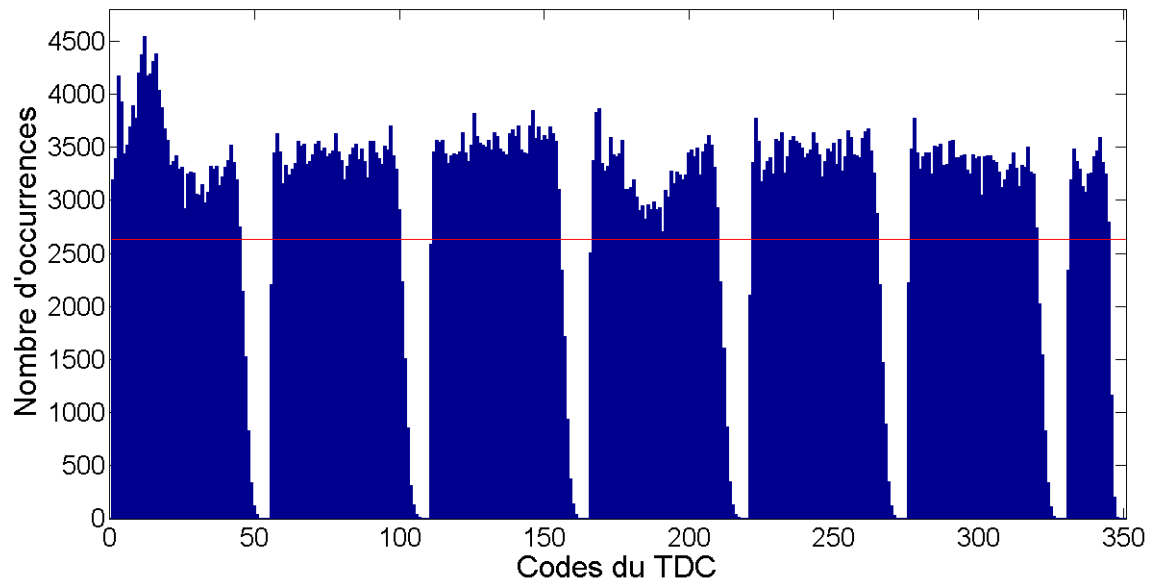


Figure 5.23 Histogramme des codes du CTN2 sans ajustement

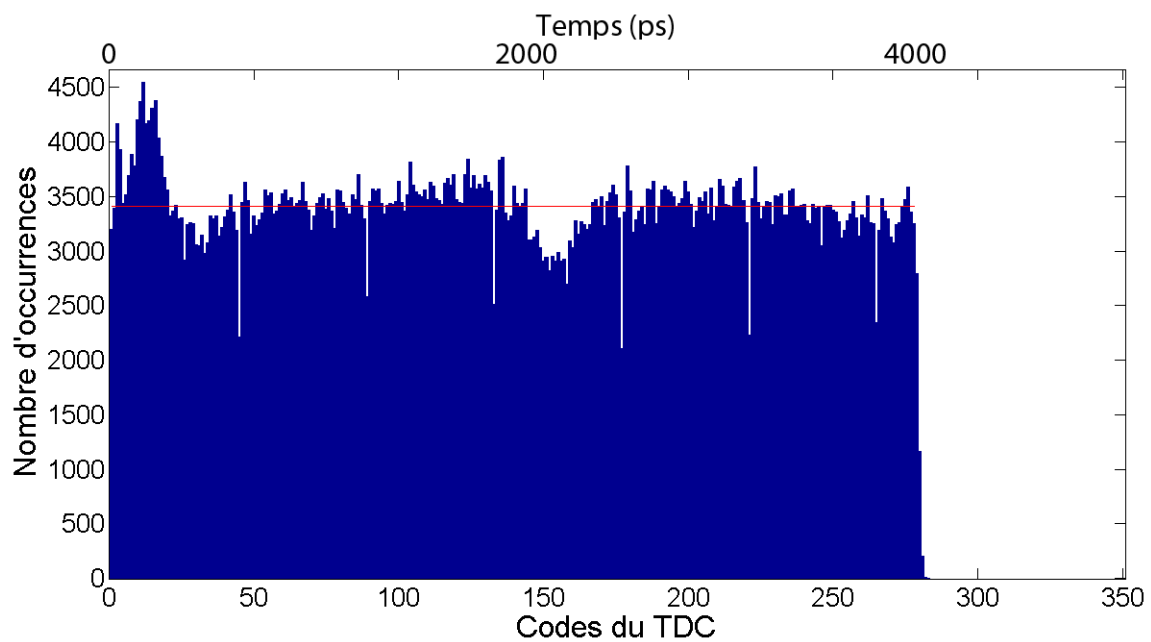


Figure 5.24 Histogramme des codes du CTN2 avec ajustement

5.4 Fréquence de conversion

Tableau 5.4 Temps de conversion maximal des CTN

	CTN1 (dPLL activée)	CTN1 (dPLL désactivée)	CTN2
Temps de conversion	114,8 ns	113,9 ns	121,8 ns
Résolution	58 ps	34,8 ps	14,4 ps
Fréquence de l'oscillateur lent	0,96 GHz	1,25 GHz	1,58 GHz
Fréquence de l'oscillateur rapide	1,02 GHz	1,31 GHz	1,62 GHz

La fréquence de conversion (ou le temps de conversion) est influencée par le nombre de tours en mode vernier, qui est déterminé par la fréquence des oscillateurs et par la résolution du CTN selon l'équation 3.4. Le tableau 5.4 présente le temps de conversion du CTN1 (avec et sans dPLL) et du CTN2. Ils peuvent donc fonctionner à un peu plus de 8 Mévénements/s.

Les figures 5.25, 5.26 et 5.27 présentent les histogrammes du temps de conversion des CTN, incluant le temps de transfert des données par le sérialiseur jusqu'à la réinitialisation du CTN. Le sérialiseur à lui seul représente un temps de conversion de 60 ns, constitué de 13 bits de données (3 bits de codes grossiers, 9 bits de codes fins et 1 bit de correction), de 1 bit de départ et de 1 bit d'arrêt, tous transférés à 250 MHz. Au-delà de la fréquence de conversion maximale, des événements peuvent ne pas être mesurés par le CTN.

Puisque le temps de conversion maximal dépend principalement du nombre de codes fins (il y a beaucoup plus de codes fins que de codes grossiers), on peut dire que ces histogrammes représentent en quelque sorte la distribution des codes fins du CTN. En observant l'histogramme complet du CTN (figure 5.23), le dernier code grossier ne requiert pas tous les codes fins pour couvrir la plage dynamique du CTN. Les codes fins du dernier code grossier surviennent donc plus souvent que les autres (un code grossier de plus), créant ainsi la bosse au début des histogrammes présentés ici.

5.4.1 CTN1

dPLL activée

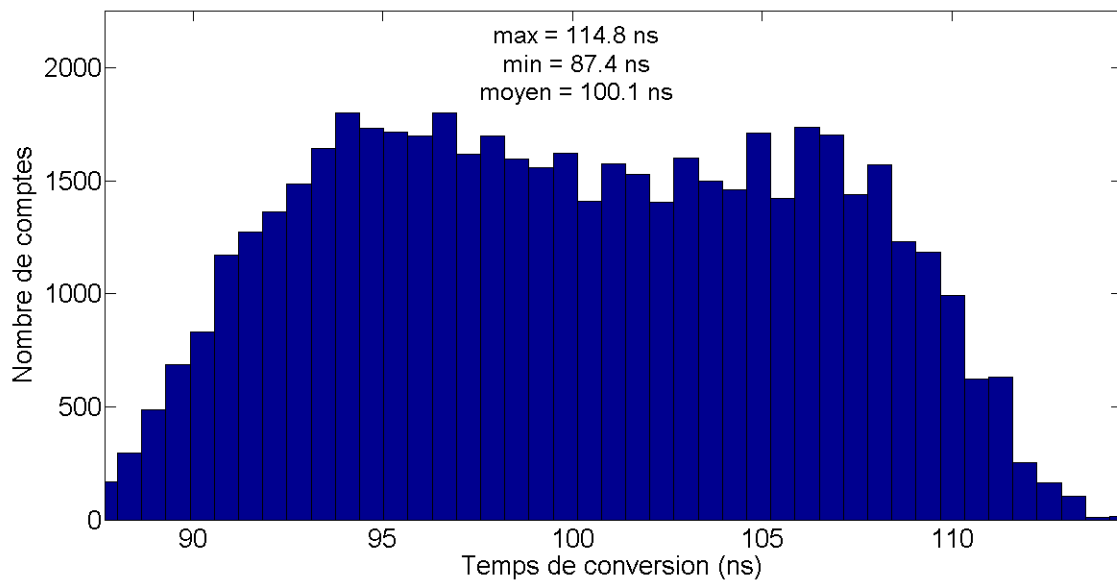


Figure 5.25 Histogramme du temps de conversion du CTN1 (dPLL activée) incluant le sérialiseur

dPLL désactivée

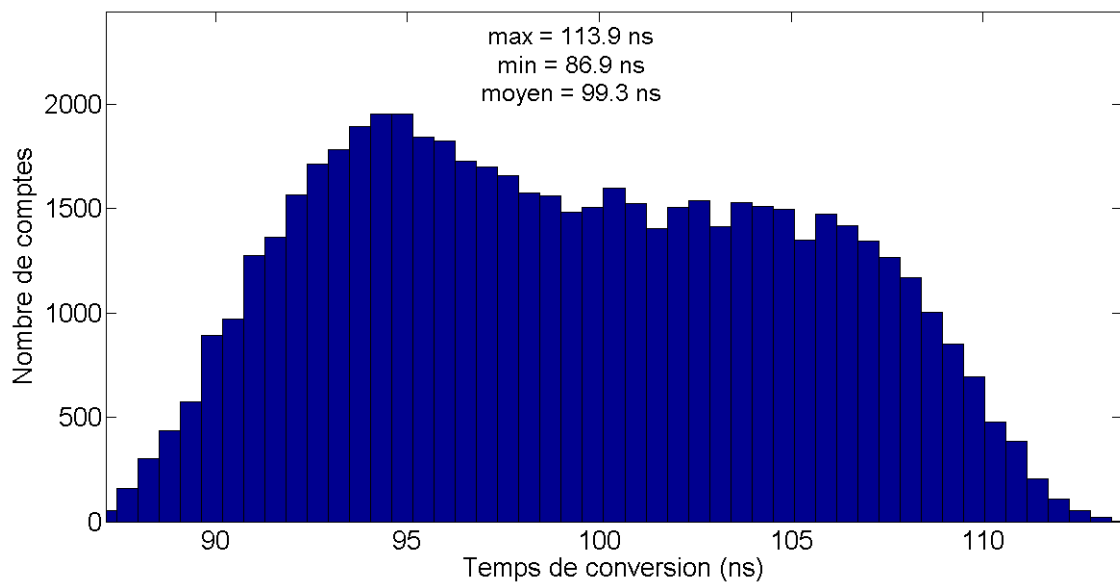


Figure 5.26 Histogramme du temps de conversion du CTN1 (dPLL désactivée) incluant le sérialiseur

5.4.2 CTN2

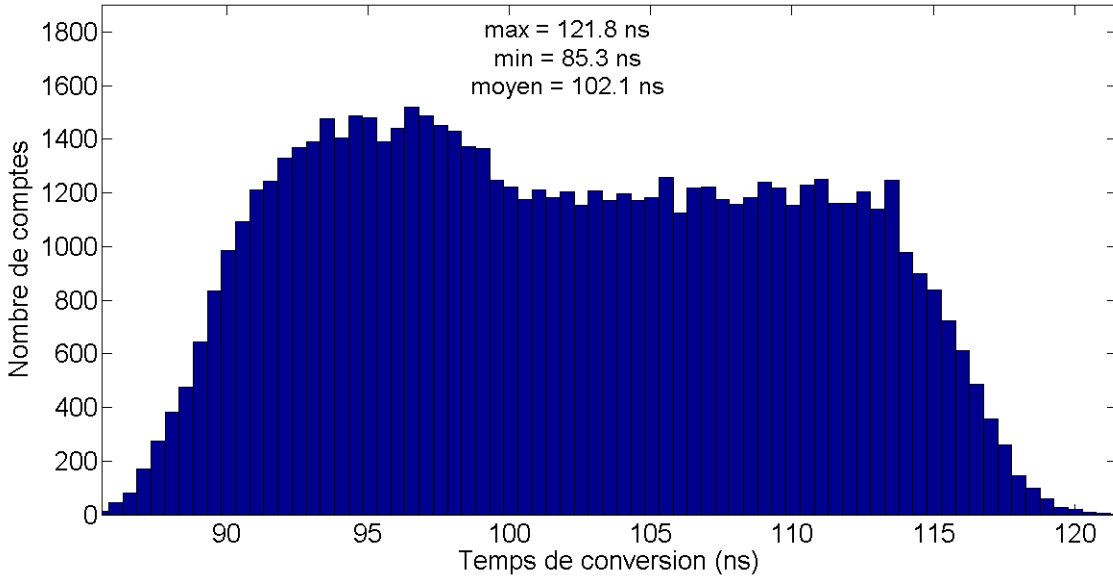


Figure 5.27 Histogramme du temps de conversion du CTN2 incluant le sérialiseur

5.5 Consommation

La consommation efficace du CTN est présentée à la figure 5.28 et correspond à environ $163 \mu W$ @ 100 kHz ¹. Sous les 100 kHz , la consommation est quasi constante pour croître exponentiellement par la suite. La consommation statique à $163 \mu W$ est causée principalement par l'architecture de la prélogique qui considère les signaux de départ et d'arrêt comme étant complètement indépendants. Ceci a pour effet de démarrer le CTN à chaque signal d'arrêt (même en l'absence de signal de départ) durant un court intervalle de temps, augmentant la consommation du CTN (section 3.1.1). Ce phénomène est prédominant à faible taux d'événements ($< 100 \text{ kHz}$, $\sim 40 \%$ de la consommation du CTN), pour devenir de plus en plus négligeable à taux d'événements élevé. Finalement, la consommation a été mesurée jusqu'à 5 MHz , au-delà de laquelle le CTN commence à manquer des événements puisque le taux d'événements est trop élevé. Pour réduire la consommation du CTN par taux d'événements, une diminution du nombre d'éléments dans les oscillateurs est possible, de même qu'une augmentation de la fréquence des oscillateurs (section 3.1.2).

¹Le bruit d'obscurité des PAMP développées au GRAMS se situe actuellement aux alentours de 60 kHz ($20 \mu m$ de diamètre). De meilleures PAMP, décrit dans [72], atteignent un bruit aussi faible que 100 Hz .

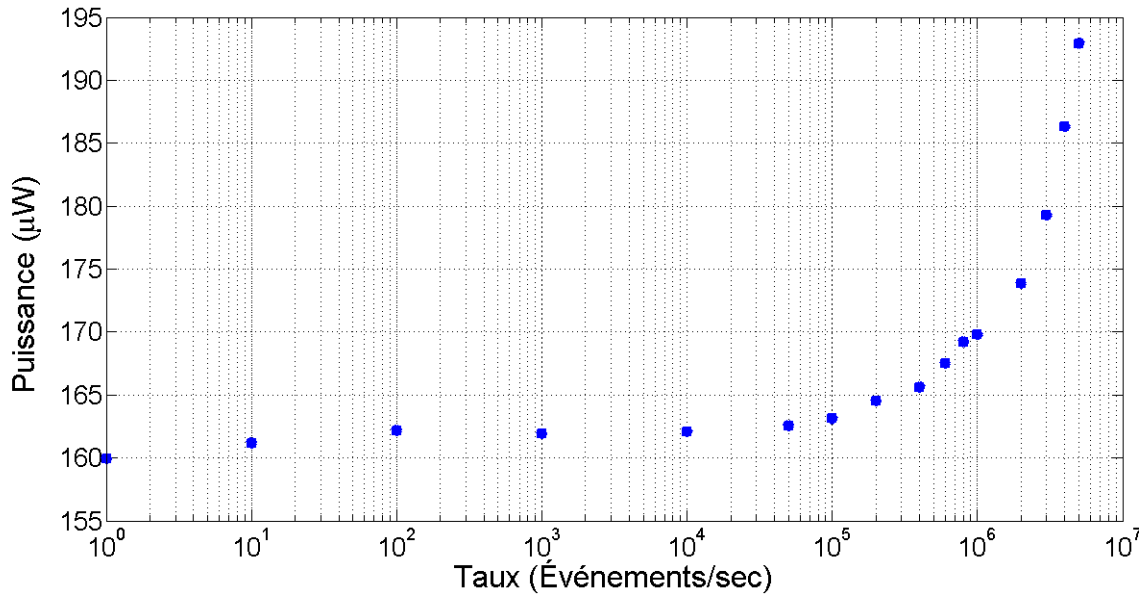


Figure 5.28 Consommation du CTN2 en fonction du taux d'événements

5.6 Plage dynamique

La plage dynamique est déterminée par la période du signal d'arrêt. Pour la majorité des tests, elle correspond à 4 ns. Dans le cas d'un signal d'arrêt apériodique, elle est dépendante de la fréquence de l'oscillateur lent et de la profondeur de ses compteurs selon l'équation 4.6. Dans les applications visées, le signal d'arrêt correspond très souvent au signal d'horloge distribué dans la matrice.

5.7 Caractéristiques des oscillateurs

Cette section a pour but de déterminer les performances des oscillateurs du CTN et de les comparer avec les différentes configurations. Trois configurations d'oscillateurs sont prévues : contrôles externes (CNA externes), dPLL activée et dPLL désactivée. Pour évaluer l'impact de la dPLL sur les oscillateurs, on doit déterminer les performances de la dPLL seule. La figure 5.29 représente l'histogramme de l'oscillateur asservi par la dPLL.

On observe une fréquence moyenne très près du 1 GHz souhaitée initialement, démontrant le bon fonctionnement de l'asservissement en fréquence. Les deux bosses de l'histogramme peuvent être expliquées par l'architecture même de la dPLL. En effet, l'asservissement en fréquence tel que démontré en simulation varie de part et d'autre du 1 GHz souhaité (causé par le PFD de type bang-bang) pour former les deux bosses. Ceci a pour effet d'augmenter la gigue temporelle de l'oscillateur comparativement à une PLL convention-

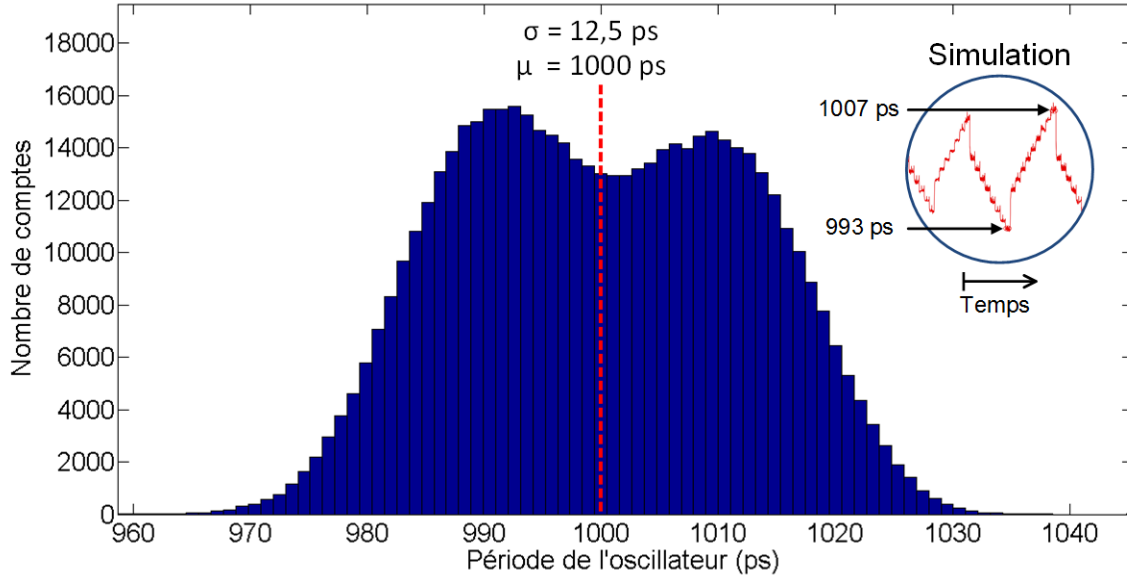


Figure 5.29 Fréquence de l'oscillateur asservi par la dPLL (mesures et simulations)

nelle qui maintiendrait l'oscillateur à une fréquence stable. Dans une prochaine version, il serait préférable d'utiliser un CTN pour mesurer l'erreur de phase des oscillateurs de la dPLL afin d'améliorer la stabilité de l'asservissement.

Les figures 5.30 et 5.31 présentent les performances des oscillateurs en fonction de leur configuration. Il est intéressant de constater une plus faible gigue temporelle pour les tensions de contrôle externes comparativement aux tensions de contrôle internes. Cela pourrait être dû à un CNA interne plus bruité, ou encore à un filtrage plus agressif des noeuds de contrôle externes étant donné les capacités de filtrage ajoutées en périphérie du ASIC. Il serait donc nécessaire de concevoir un CNA à très faible bruit en sortie, en plus de filtrer suffisamment les noeuds de contrôle pour minimiser la gigue temporelle. L'impact de la dPLL sur la gigue temporelle des oscillateurs n'est pas clairement exprimé dans ces figures. Dans le cas de l'oscillateur rapide, l'activation de la dPLL diminue la gigue temporelle. Dans le cas de l'oscillateur lent, c'est l'inverse qui se produit. Il faut toutefois noter que la prise de ces mesures n'est pas facile considérant la fréquence élevée des oscillateurs et la présence d'oscillations intempestives causées par les capacités et les inductances parasites (microcâblages, traces de PCB, etc.). Pour ces raisons, les histogrammes sont difficiles à acquérir et peuvent présenter certaines formes peu conventionnelles ne représentant pas exactement la réalité.

Finalement, on observe une diminution de la gigue temporelle avec une augmentation de la fréquence des oscillateurs. Ceci serait dû à des pentes plus abruptes de l'oscillateur.

Pour cette raison, il serait souhaitable d'augmenter la fréquence des oscillateurs du CTN. On note également une fréquence des oscillateurs différente de 1 GHz lorsque la dPLL est activée. Ceci peut être causé par des variations de procédé, ou encore par des variations de température locales différentes de la dPLL. Ceci est susceptible de se produire dans une matrice, d'autant plus que les oscillateurs des CTN sont opérés par intermittence comparativement à l'oscillateur de la dPLL qui est opéré en continu. Toutefois, la différence entre la fréquence de la dPLL et des oscillateurs des CTN n'est pas problématique si elle est constante pour tous les pixels de la matrice.

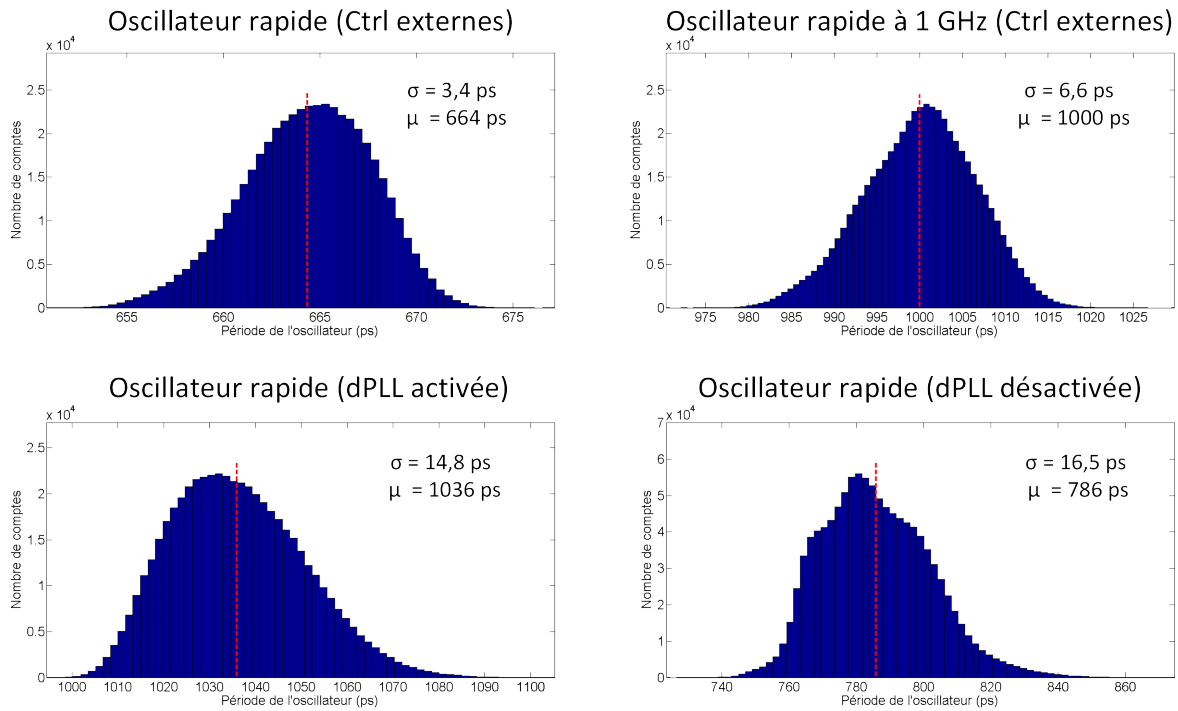


Figure 5.30 Caractéristiques de l'oscillateur rapide selon différentes configurations

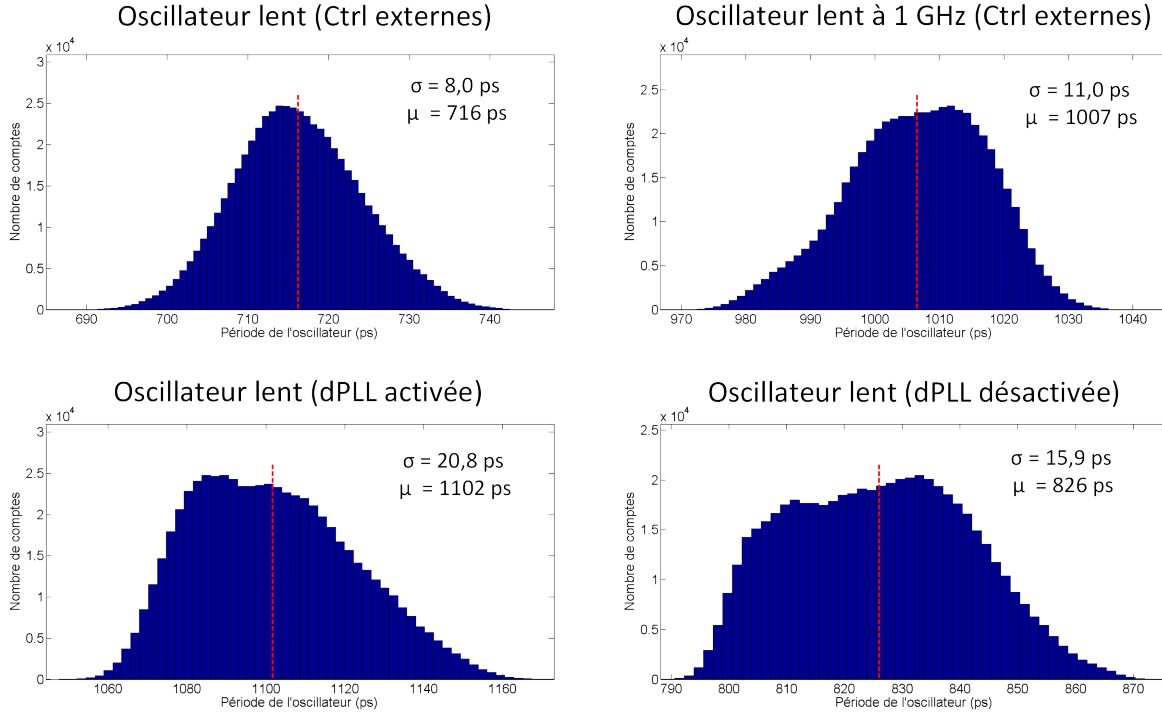


Figure 5.31 Caractéristiques de l'oscillateur lent selon différentes configurations

5.8 Matrice des CTN

La matrice de 5×8 pixels implantée dans le ASIC n'a malheureusement pas pu être testée puisqu'elle ne fonctionne pas correctement. En effet, les données n'ont pas les bonnes valeurs et le nombre de données en sortie ne dépasse pas 255. Ceci serait probablement causé par un problème au niveau de la gestion des données des CTN, ou encore à la gestion de la SRAM pour mémoriser les données avant l'envoi à l'ordinateur. Ces tests auraient été pertinents pour quantifier les variations de résolution et de linéarité des CTN de la matrice. De plus, on aurait pu observer l'impact de la dPLL sur la matrice. Les simulations démontrent une augmentation flagrante du bruit sur les noeuds de contrôle causée par les oscillateurs des CTN. Ceci est d'autant plus visible avec un nombre important de CTN qui fonctionnent en même temps. Pour régler ce problème, il faudrait isoler et filtrer les noeuds de contrôle dans chaque pixel grâce à un filtre actif passe-bas. Ceci aiderait grandement à réduire le bruit et à améliorer la précision temporelle des CTN.

5.9 Améliorations et recommandations

5.9.1 CTN

- **Augmenter la fréquence des oscillateurs à 2 GHz.** Ceci aura pour effet d'améliorer la précision temporelle du CTN (section 5.1), en plus de diminuer sa consommation par événement et son temps de conversion (section 3.1.2). Il faut également garder à l'esprit qu'un multiple de 250 MHz facilite la division en fréquence pour l'asservissement des oscillateurs grâce à la dPLL (section 3.2.1).
- **Diminuer le temps de prise de décisions du circuit de coïncidence.** Ceci évitera des erreurs sur les codes grossiers et assurera l'exactitude de tous les codes du CTN (section 3.1.3).
- **Utiliser des oscillateurs lent et rapide complètement identiques et ajuster leur période grâce à un CNA sur chacun d'eux.** Ceci permettra une résolution ajustable avec les variations de procédé (section 3.1.2).
- **Ajouter un filtre actif passe-bas sur les noeuds de contrôle de chaque CTN.** Ceci réduira le bruit causé par les oscillateurs sur les tensions de contrôle dans une architecture matricielle (section 5.8).
- **Minimiser le couplage capacitif entre les signaux de départ et d'arrêt.** Ceci peut être réalisé en espaçant les signaux, ou encore en les blindant. La linéarité en sera améliorée (section 5.2).

5.9.2 dPLL

- **Utiliser un CTN pour mesurer l'erreur de phase.** Ceci éliminera les oscillations autour de la fréquence désirée et minimisera la gigue temporelle des oscillateurs (section 5.7).
- **Ajouter un filtre actif passe-bas sur les tensions de contrôle.** Ceci permettra d'optimiser la bande passante de la dPLL (section 3.2) en plus de minimiser le bruit sur les noeuds de contrôle.
- **Concevoir un nouveau CNA pour obtenir une fonction de transfert linéaire** (section 3.2.4).

5.10 Conclusion

Le tableau 5.5 récapitule les performances désirées initialement et celles mesurées. La linéarité, la taille et la consommation du CTN présentent des résultats similaires aux objectifs initiaux. Toutefois, le CTN offre une résolution et une précision temporelle en deçà des objectifs. L'architecture proposée permet d'offrir de meilleures résolutions temporelles. Pour y arriver, la précision et la linéarité devront être améliorées puisqu'elles ont tendance à se détériorer avec une meilleure résolution. En apportant les modifications présentées à la section 5.9, le CTN améliorera sa résolution et se rapprochera des objectifs désirés.

Tableau 5.5 Récapitulation des performances désirées et des mesures

	Résolution	Précision	INL/DNL (LSB)	Taille	Consommation
Objectifs	5 ps	$< 5 \text{ ps}_{rms}$	1/0,5	$25 \times 50 \mu m^2$	$150 \mu W$
Mesures	14,4 ps	26,9 ps_{rms}	3,3/0,37	$25 \times 50 \mu m^2$	$163 \mu W^1$

¹ < 100 événements/s

Le tableau 5.6 compare le CTN présenté dans ce document par rapport aux autres CTN de la littérature. Il offre de moins bonnes performances concernant sa précision temporelle et sa linéarité. Par contre, il se démarque quant à sa faible taille et sa faible consommation, qui sont d'ailleurs plusieurs ordres de grandeur plus faibles que ce qu'on peut retrouver dans la littérature. Ceci lui confère un avantage énorme et en fait un CTN de choix pour une implantation matricielle.

Tableau 5.6 Comparaison des CTN dans la littérature

Ref.	Techno. (nm)	LSB (ps)	Précision (ps_{rms})	INL/DNL (LSB)	Taille (mm^2)	Consommation (mW)	Freq. (MSPS)
CTN proposé	65	14,4	26,9	3,3/0,37	0,0013	0,16 @ 1 V	~ 8
[15]	65	80	-	-/0,01	0,0063	5,66 @ 1,33 V	250
[40]	65	1,12	0,7	1,7/0,6	0,14	15,4 @ 1,2 V	250
[71]	65	4,8	-	3,3/1	0,02	1,7 @ 1,2 V	50
[79]	130	31	10	1,45/1,25	0,15	1 @ 1,3 V	500
[80]	130	8	8	-	0,26	7,5 @ 1,5 V	15
[49]	350	10	17,2	2,5/0,04	0,3	15 @ 3,3 V	3
[9]	350	37,5	38,3	0,35/0,2	0,222	150 @ ~ 3,0 V	0,1
[8]	350	50	-	1,1/-	0,225	0,75 @ ~ 3,0 V	0,1

CHAPITRE 6

CONCLUSION

Le développement de nouveaux outils de mesures temporelles devient essentiel pour améliorer les performances de certaines applications, dont la télémétrie laser et la tomographie d'émission par positrons, qui intègrent des mesures par temps de vol. Ces applications requièrent l'attribution d'étampes temporelles aux photons détectés, tout en assurant une précision temporelle exceptionnelle. C'est dans cette optique que le GRAMS développe un module de comptage monophotonique (MCMP) 3D où chaque pixel intègre son propre outil de mesure temporelle : un convertisseur temps-numérique (CTN). Ce document présente donc la conception et la validation du CTN intégré à chacun des pixels de $50 \times 50 \mu m^2$ du MCMP développé au GRAMS. Pour y arriver, le CTN vise une taille ne dépassant pas $25 \times 50 \mu m^2$ et une consommation inférieure à $150 \mu W$. De plus, il doit offrir une résolution et une précision temporelle sous les 5 ps, tout en maintenant une INL/DNL sous les 1/0,5 LSB.

Le CTN proposé est basé sur une architecture vernier à étage unique afin d'obtenir une excellente résolution et une linéarité indépendante des variations de procédé. Sa taille de $25 \times 50 \mu m^2$ et sa consommation de $163 \mu W$ (< 100 événements/s) en font un excellent choix pour une implantation matricielle. Toutefois, sa résolution dépassant les 30 ps est très loin des 5 ps initialement prévue. Malgré ce problème, le CTN a prouvé qu'il pouvait obtenir, avec quelques ajustements, une résolution de 14,4 ps avec une INL/DNL de 3,3/0,35 LSB et une précision temporelle inférieure à $27 ps_{rms}$. Ces résultats démontrent qu'un exercice d'optimisation devra être réalisé pour assurer une résolution à 5 ps avec la linéarité et la précision temporelle attendue. Des recommandations ont été présentées à la section 5.9 pour atteindre les performances souhaitées. De plus, sa calibration est assurée grâce à une boucle à verrouillage de phase numérique (dPLL) afin d'uniformiser tous les CTN de la matrice face aux variations PVT. Les recommandations pour améliorer la dPLL sont également présentées à la section 5.9.

Le convertisseur temps-numérique se démarque par rapport aux autres CTN grâce à sa taille minimale et à sa très faible consommation. Selon nos connaissances par rapport à l'état de l'art des CTN, celui-ci est le seul à permettre une intégration matricielle tout en espérant fournir une résolution et une précision temporelle sous la dizaine de picosecondes. Les résultats obtenus prouvent qu'il est possible de concilier d'excellentes performances

avec de très faibles dimensions et consommation. Ceci est très encourageant et justifie la réalisation d'une deuxième version du CTN.

Le module de comptage monophotonique développé au GRAMS sera le premier au Canada et parmi la première vague mondiale à proposer d'une part une configuration hétérogène 3D pour les applications non commerciales, et d'autre part une implantation par pixel des CTN tout en conservant un ratio de surface active des détecteurs d'au moins 50 %. Ce type de détecteur a le potentiel d'atteindre une excellente précision temporelle, un avantage énorme pour les applications intégrant des mesures par temps de vol. En plus d'augmenter le contraste de l'image, une précision temporelle sous la dizaine de picosecondes permettrait même aux scanners à tomographie d'émission par positrons d'obtenir une image en temps réel. Ceci diminuerait le temps de diagnostic, permettant à un plus grand nombre de patients d'obtenir un traitement adéquat.

ANNEXE A

ENTRÉES/SORTIES DU ASIC

Position

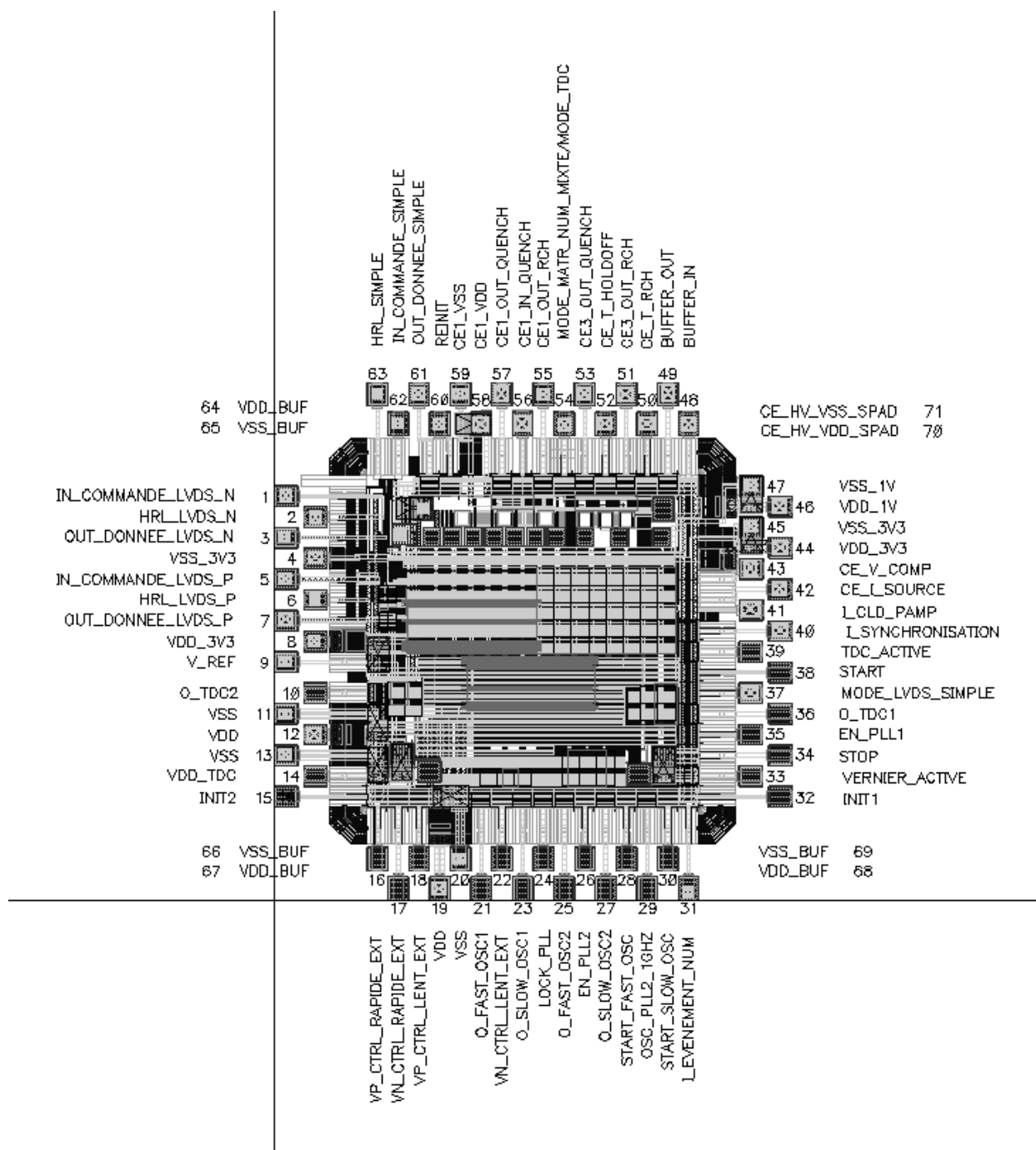


Figure A.1 Pins du ASIC

Description

Entrées/sorties de la puce ICSSHSR2				
#	Nom	Type	Protocole/tension	Type de pastilles
Alimentations globales				
12	VDD_Core	alim	0 – 1 V	Alim ana/num
19	VDD_Core	alim	0 – 1 V	Alim ana/num
46	VDD_Core	alim	0 – 1 V	Alim ana/num
11	VSS_Core	alim	0 – 1 V	Alim ana/num
20	VSS_Core	alim	0 – 1 V	Alim ana/num
47	VSS_Core	alim	0 – 1 V	Alim ana/num
64	VDD_Buf	alim	0 – 1 V	Alim ana/num
67	VDD_Buf	alim	0 – 1 V	Alim ana/num
68	VDD_Buf	alim	0 – 1 V	Alim ana/num
65	VSS_Buf	alim	0 – 1 V	Alim ana/num
66	VSS_Buf	alim	0 – 1 V	Alim ana/num
69	VSS_Buf	alim	0 – 1 V	Alim ana/num
Alimentation 3,3V				
8	VDD_3V3	alim	0 – 3,3 V	Alim ana/num
44	VDD_3V3	alim	0 – 3,3 V	Alim ana/num
4	VSS_3V3	alim	0 – 3,3 V	Alim ana/num
45	VSS_3V3	alim	0 – 3,3 V	Alim ana/num
Alimentation du CTN				
14	VDD_TDC	alim	0 – 1 V	Alim ana/num
13	VSS	alim	0 – 1 V	Alim ana/num
Alimentation du circuit d'éteuffement				
58	CE1_VDD	alim	0 – 1 V	Alim ana
59	CE1_VSS	alim	0 – 1 V	Alim ana
70	CE_HV_VDD_SPAD	alim	0 – 15 V	Alim SPAD
71	CE_HV_VSS_SPAD	alim	0 – 15 V	Alim SPAD
I/O circuit d'éteuffement				
50	CE_T_RCH	entrée	0 – 1 V	Entrée analogique
52	CE_T_HOLDOFF	entrée	0 – 1 V	Entrée analogique
43	CE_V_COMP	entrée	0 – 1 V	Entrée analogique
42	CE_I_SOURCE	entrée	0 – 1 V	Entrée analogique
56	CE1_IN_QUENCH	entrée	0 – 3,3 V	Entrée analogique
57	CE1_OUT_QUENCH	sortie	0 – 1 V	Sortie numérique
55	CE1_OUT_RCH	sortie	0 – 1 V	Sortie numérique
53	CE3_OUT_QUENCH	sortie	0 – 1 V	Sortie numérique
51	CE3_OUT_RCH	sortie	0 – 1 V	Sortie numérique
48	BUFFER_IN	entrée	0 – 1 V	Sortie numérique
49	BUFFER_OUT	sortie	0 – 1 V	Sortie numérique

I/O CTN				
38	START	entrée	0 – 1 V	Entrée numérique
34	STOP	entrée	0 – 1 V	Entrée numérique
36	O_TDC1	sortie	0 – 1 V	Sortie numérique
10	O_TDC2	sortie	0 – 1 V	Sortie numérique
32	INIT1	entrée	0 – 1 V	Entrée numérique
15	INIT2	entrée	0 – 1 V	Entrée numérique
39	TDC_ACTIVE	sortie	0 – 1 V	Sortie numérique
33	VERNIER_ACTIVE	sortie	0 – 1 V	Sortie numérique
24	LOCK_PLL	sortie	0 – 1 V	Sortie numérique
35	EN_PLL1	entrée	0 – 1 V	Entrée numérique
26	EN_PLL2	entrée	0 – 1 V	Entrée numérique
30	START_SLOW_OSC	entrée	0 – 1 V	Entrée numérique
28	START_FAST_OSC	entrée	0 – 1 V	Entrée numérique
29	OSC_PLL2_1GHZ	sortie	0 – 1 V	Sortie numérique
23	O_SLOW_OSC1	sortie	0 – 1 V	Sortie numérique
21	O_FAST_OSC1	sortie	0 – 1 V	Sortie numérique
27	O_SLOW_OSC2	sortie	0 – 1 V	Sortie numérique
25	O_FAST_OSC2	sortie	0 – 1 V	Sortie numérique
17	VN_CTRL_RAPIDE_EXT	entrée	0 – 1 V	Entrée analogique
16	VP_CTRL_RAPIDE_EXT	entrée	0 – 1 V	Entrée analogique
22	VN_CTRL_LENT_EXT	entrée	0 – 1 V	Entrée analogique
18	VP_CTRL_LENT_EXT	entrée	0 – 1 V	Entrée analogique
I/O Circuit de lecture de la matrice				
7	OUT_DONNEE_LVDS_P	sortie	LVDS	Sortie numérique
3	OUT_DONNEE_LVDS_N	sortie	LVDS	Sortie numérique
5	IN_COMMANDE_LVDS_P	entrée	LVDS	Entrée numérique
1	IN_COMMANDE_LVDS_N	entrée	LVDS	Entrée numérique
6	HRL_LVDS_P	entrée	LVDS	Entrée numérique
2	HRL_LVDS_N	entrée	LVDS	Entrée numérique
9	V_REF	entrée	1,2V	Entrée numérique
63	HRL_SIMPLE	entrée	0 – 3,3 V	Entrée numérique
61	OUT_DONNEE_SIMPLE	sortie	0 – 1 V	Sortie numérique
62	IN_COMMANDE_SIMPLE	entrée	0 – 3,3 V	Entrée numérique
41	I_CLD_PAMP	entrée	0 – 3,3 V	Entrée numérique
31	I_EVENTUM_NUM	entrée	0 – 1 V	Entrée analogique
37	MODE_LVDS_SIMPLE	entrée	0 – 1 V	Entrée numérique
40	I_SYNCHRONISATION	entrée	0 – 1 V	Entrée numérique
54	MODE_MATR_NUM_MIXTE/MODE_TDC	entrée	0 – 1 V	Entrée numérique
60	REINIT	entrée	0 – 1 V	Entrée numérique

LISTE DES RÉFÉRENCES

- [1] Ahmad, J., Malik, A. S., Xia, L. et Ashikin, N. (2013). Vegetation encroachment monitoring for transmission lines right-of-ways : A survey. *Electric Power Systems Research*, volume 95, p. 339–352.
- [2] Becker, W. (2005). *Advanced time-correlated single photon counting techniques, volume 81*. Springer, 401 p.
- [3] Becker, W. (2010). *The BH TCSPC Handbook*, 4^e édition. Becker & Hickl GmbH, 554 p.
- [4] Bergeron, M., Cadorette, J., Beaudoin, J.-F., Lepage, M., Robert, G., Selivanov, V., Tetrault, M.-A., Viscogliosi, N., Norenberg, J., Fontaine, R. et Lecomte, R. (2009). Performance Evaluation of the LabPET APD-Based Digital PET Scanner. *IEEE Transactions on Nuclear Science*, volume 56, numéro 1, p. 10–16.
- [5] Binkley, D. M. (2008). *Tradeoffs and optimization in analog CMOS Design*, 1^{re} édition. John Wiley & Sons, 594 p.
- [6] Bérubé, B.-L., Rhéaume, V.-P., Parent, S., Maurais, L., Therrien, A., Charette, P., Charlebois, S., Fontaine, R. et Pratte, J.-F. (2015). Implementation Study of Single Photon Avalanche Diodes (SPAD) in 0.8 μm HV CMOS Technology. *IEEE Transactions on Nuclear Science*, volume 62, numéro 3, p. 710–718.
- [7] Cammi, C., Gulinatti, A., Rech, I., Panzeri, F. et Ghioni, M. (2012). SPAD array module for multi-dimensional photon timing applications. *Journal of Modern Optics*, volume 59, numéro 2, p. 131–139.
- [8] Chen, P., Chen, C.-C. et Shen, Y.-S. (2006). A Low-Cost Low-Power CMOS Time-to-Digital Converter Based on Pulse Stretching. *IEEE Transactions on Nuclear Science*, volume 53, numéro 4, p. 2215–2220.
- [9] Chen, P., Chen, C.-C. et Shen, Y.-S. (2007). A PVT Insensitive Vernier-Based Time-to-Digital Converter With Extended Input Range and High Accuracy. *IEEE Transactions on Nuclear Science*, volume 54, numéro 2, p. 294–302.
- [10] Cherry, S. R., Sorenson, J. A. et Phelps, M. E. (2003). *Physics in Nuclear Medicine*, 3^e édition. SAUNDERS, 523 p.
- [11] Clayton, R. P. (2004). *Electromagnetics for Engineers - With Applications*. John Wiley & Sons, 403 p.
- [12] Cova, S., Lacaita, A., Ghioni, M., Ripamonti, G. et Louis, T. A. (1989). 20-ps timing resolution with single-photon avalanche diodes. *Review of Scientific Instruments*, volume 60, numéro 6, p. 1104–1110.

- [13] Crotti, M., Rech, I. et Ghioni, M. (2012). Four Channel, 40 ps Resolution, Fully Integrated Time-to-Amplitude Converter for Time-Resolved Photon Counting. *IEEE Journal of Solid-State Circuits*, volume 47, numéro 3, p. 699–708.
- [14] Dudek, P., Szczepanski, S. et Hatfield, J. (2000). A High-Resolution CMOS Time-to-Digital Converter Utilizing a Vernier Delay Line. *IEEE Journal of Solid-State Circuits*, volume 35, numéro 2, p. 240–247.
- [15] Elsayed, M., Dhanasekaran, V., Gambhir, M., Silva-Martinez, J. et Sanchez-Sinencio, E. (2011). A 0.8 ps DNL Time-to-Digital Converter With 250 MHz Event Rate in 65 nm CMOS for Time-Mode-Based Modulator. *IEEE Journal of Solid-State Circuits*, volume 46, numéro 9, p. 2084–2098.
- [16] Eraerds, P., Legre, M., Zhang, J., Zbinden, H. et Gisin, N. (2010). Photon Counting OTDR : Advantages and Limitations. *Journal of Lightwave Technology*, volume 28, numéro 6, p. 952–964.
- [17] Fargier, J.-P. (-). La mesure du temps Arte reportage. Dans Université de Sherbrooke, *Youtube*. <https://www.youtube.com/watch?v=NKkuG7sdNmo> (page consultée le 20 août 2015).
- [18] Grim, J., Christodoulou, S., Stasio, F., Krahne, R., Cingolani, R., Manna, L. et Moreels, I. (2014). Continuous-wave biexciton lasing at room temperature using solution-processed quantum wells. *Nature Nanotechnology*, volume 9, p. 891–895.
- [19] Guerrieri, F., Tisa, S., Tosi, A. et Zappa, F. (2010). Two-Dimensional SPAD Imaging Camera for Photon Counting. *IEEE Photonics Journal*, volume 2, numéro 5, p. 759–774.
- [20] Gui, X. et Green, M. (2013). Design of CML Ring Oscillators With Low Supply Sensitivity. *IEEE Transactions on Circuits and Systems I : Regular Papers*, volume 60, numéro 7, p. 1753–1763.
- [21] Hajimiri, A. (2001). Noise in phase-locked loops. Dans *2001 Southwest Symposium on Mixed-Signal Design, 2001. SSMSD*. IEEE, p. 1–6.
- [22] Hajimiri, A., Limotyrakis, S. et Lee, T. (1999). Jitter and phase noise in ring oscillators. *IEEE Journal of Solid-State Circuits*, volume 34, numéro 6, p. 790–804.
- [23] Hamamatsu (2012). MCP & MCP Assembly - Selection Guide. Dans Hamamatsu, *Hamamatsu Photonics*. http://jp.hamamatsu.com/products/sensor-etd/pd007/index_en.html (page consultée le 11 janvier 2013).
- [24] Hamamatsu (2012). MPPC multi-pixel photon counter. Dans Hamamatsu, *Hamamatsu Photonics*. http://jp.hamamatsu.com/resources/products/ssd/pdf/tech/mppc_selection_guide_e.pdf (page consultée le 14 janvier 2013).
- [25] Henzler, S. (2010). *Time-to-Digital Converters, volume 29*. Springer, 124 p.

- [26] Heydari, P. et Mohanavelu, R. (2004). Design of Ultrahigh-Speed Low-Voltage CMOS CML Buffers and Latches. *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, volume 12, numéro 10, p. 1081–1093.
- [27] Hsu, M., Esener, S. et Finkelstein, H. (2009). A CMOS STI-Bound Single-Photon Avalanche Diode With 27-ps Timing Resolution and a Reduced Diffusion Tail. *IEEE Electron Device Letters*, volume 30, numéro 6, p. 641–643.
- [28] Huygens, C. (1675). Extrait d'une lettre de Mr Huygens à l'Auteur du Journal, touchant une nouvelle invention d'horloges très justes et portatives. *Journal des savants*, volume 10, numéro 6, p. 68–70.
- [29] Hwang, I.-C., Song, S.-H. et Kim, S.-W. (2001). A Digitally Controlled Phase-Locked Loop With a Digital Phase-Frequency Detector for Fast Acquisition. *IEEE Journal of Solid-State Circuits*, volume 36, numéro 10, p. 1574–1581.
- [30] Idris, R., Latif, Z. A., Jaafar, J., Rani, N. M. et Yunus, F. (2012). Quantitative assessment of LiDAR dataset for topographic maps revision. Dans *2012 International Conference on System Engineering and Technology (ICSET)*. IEEE, p. 1–4.
- [31] Inc, A. S. C. (2015). *Advanced Scientific Concepts Inc.* <http://www.advancedscientificconcepts.com/> (page consultée le 19 août 2015).
- [32] international des poids et mesures, B. (2006). *Le Système international d'unités* (Rapport technique). Organisation intergouvernementale de la Convention du Mètre, 92 p.
- [33] Jalil, J., Reaz, M. et Ali, M. (2013). CMOS Differential Ring Oscillators : Review of the Performance of CMOS ROs in Communication Systems. *IEEE Microwave Magazine*, volume 14, numéro 5, p. 97–109.
- [34] Johnson, T., Fard, A. et Aberg, D. (2004). An Improved Low Voltage Phase-Frequency Detector with Extended Frequency Capability. Dans *The 2004 47th Midwest Symposium on Circuits and Systems, 2004. MWSCAS '04*. IEEE, p. 181–184.
- [35] Kalisz, J. (2004). Review of methods for time interval measurements with picosecond resolution. *Metrologia*, volume 41, numéro 1, p. 17–32.
- [36] Kanoun, M., Bérubé-Lauzière, Y. et Fontaine, R. (2008). High precision time-to-amplitude converter for diffuse optical tomography applications. Dans *2008. DTIS 2008. 3rd International Conference on Design and Technology of Integrated Systems in Nanoscale Era*. IEEE, p. 1–4.
- [37] Karadamoglou, K., Paschalidis, N., Sarris, E., Stamatopoulos, N., Kottaras, G. et Paschalidis, V. (2004). An 11-bit high-resolution and adjustable-range CMOS time-to-digital converter for space science instruments. *IEEE Journal of Solid-State Circuits*, volume 39, numéro 1, p. 214–222.
- [38] Karp, J. S., Surti, S., Daube-Witherspoon, M. E. et Muehllehner, G. (2008). Benefit of time-of-flight in PET : experimental and clinical results. *Journal of Nuclear Medicine*, p. 462–470.

- [39] Kataoka, J., Matsuda, H., Yoshino, M., Miura, T., Nishikido, F., Koizumi, M., Tanaka, T., Ikeda, H., Ishikawa, Y., Kawabata, N., Matsunaga, Y., Kishimoto, S. et Kubo, H. (2009). Versatile APD-based PET modules for high resolution, fast medical imaging. Dans *2009 IEEE Nuclear Science Symposium Conference Record (NSS/MIC)*. IEEE, p. 3542–3545.
- [40] Kim, K., Yu, W. et Cho, S. (2014). A 9 bit, 1.12 ps Resolution 2.5 b/Stage Pipelined Time-to-Digital Converter in 65 nm CMOS Using Time-Register. *IEEE Journal of Solid-State Circuits*, volume 49, numéro 4, p. 1007–1016.
- [41] Knoll, G. F. (1999). *Radiation detection and measurement*, 3^e édition. John Wiley & Sons, 802 p.
- [42] Kwon, H.-J., Lee, J.-S., Kim, B., Sim, J.-Y. et Park, H.-J. (2014). Analysis of an Open-Loop Time Amplifier With a Time Gain Determined by the Ratio of Bias Current. *IEEE Transactions on Circuits and Systems - II : Express Briefs*, volume 61, numéro 7, p. 481–185.
- [43] Lecoq, P., Korzhik, M. et Vasiliev, A. (2014). Can Transient Phenomena Help Improving Time Resolution in Scintillators? *IEEE Transactions on Nuclear Science*, volume 61, numéro 1, p. 229–234.
- [44] Lee, B., Jang, K. W., Yoo, W. J., Shin, S. H., Moon, J., Han, K.-T. et Jeon, D. (2012). A new design of large area MCP-PMT for the next generation neutrino experiment. *Nuclear Instruments and Methods in Physics Research Section A : Accelerators, Spectrometers, Detectors and Associated Equipment*, volume 695, p. 113 – 117.
- [45] Levantino, S., Marzin, G., Samori, C. et Lacaita, A. (2013). A Wideband Fractional-N PLL With Suppressed Charge-Pump Noise and Automatic Loop Filter Calibration. *IEEE Journal of Solid-State Circuits*, volume 48, numéro 10, p. 2419–2429.
- [46] Li, G. H. et Chou, H. P. (2007). A high resolution time-to-digital converter using two-level vernier delay line technique. Dans *2007. NSS '07. IEEE Nuclear Science Symposium Conference Record*. IEEE, p. 276–280.
- [47] Lim, K., Choi, S. et Kim, B. (1997). Optimal loop bandwidth design for low noise PLL applications. Dans *Design Automation Conference, 1997. Proceedings of the ASP-DAC '97 Asia and South Pacific*. IEEE, p. 425–428.
- [48] Lu, P., Liscidini, A. et Andreani, P. (2012). A 3.6 mW, 90 nm CMOS Gated-Vernier Time-to-Digital Converter With an Equivalent Resolution of 3.2 ps. *IEEE Journal of Solid State Circuits*, volume 47, numéro 7, p. 1626–1635.
- [49] Markovic, B., Tisa, S., Villa, F., Tosi, A. et Zappa, F. (2013). A High-Linearity, 17 ps Precision Time-to-Digital Converter Based on a Single-Stage Vernier Delay Loop Fine Interpolation. *IEEE Transactions on Circuits and Systems I : Regular Papers*, volume 60, numéro 3, p. 557–569.
- [50] Mercier, M.-O. (2016). *Conception d'un circuit de lecture de matrice ainsi qu'un système d'acquisition de données pour une matrice de cellules de photodiodes à avalanche*

- monophotonique conçue en technologie CMOS TSMC 65 nm*. Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 120 p.
- [51] Mohiaddin, A., Sanchez-Sinencio, E. et Silva-Martinez, J. (2003). Nonlinear effects in pseudo differential OTAs with CMFB. *IEEE Transactions on Circuits and Systems II : Analog and Digital Signal Processing*, volume 50, numéro 10, p. 762–770.
- [52] Mouchel, J.-Y. (-). *Le temps compté conté* (Rapport technique). Ville de Roussillon, 27 p.
- [53] Nicholson, T., Campbell, S., Hutson, R., Martil, G., Bloom, B., McNally, R., Zhang, W., Barrett, M., Safronova, M., Strouse, G., Tew, W. et Yel, J. (2015). Systematic evaluation of an atomic clock at 2×10^{-18} total uncertainty. *Nature Communications*, volume 6, numéro 6896, p. 1–8.
- [54] Nissinen, I., Mantyniemi, A. et Kostamovaara, J. (2003). A CMOS time-to-digital converter based on a ring oscillator for a laser radar. Dans *2003. ESSCIRC'03. Proceedings of the 29th European Solid-State Circuits Conference*. IEEE, p. 469–472.
- [55] Nolet, F. (2016). *Conception d'un circuit d'étouffement de photodiodes avalanches monophotoniques pour une intégration matricielle dans un module de comptage monophotonique*. Mémoire de maîtrise, Université de Sherbrooke, Sherbrooke, Québec, Canada, 120 p.
- [56] Nucleonics, B. (-). *Model 745 - 250 fs Digital Delay Generator* (Rapport technique). Berkeley Nucleonics, 4 p.
- [57] Park, Y. et Wentzloff, D. D. (2011). A Cyclic Vernier TDC for ADPLLs Synthesized From a Standard Cell Library. *IEEE Transactions on Circuits and Systems I : Regular Papers*, volume 58, numéro 7, p. 1511–1517.
- [58] Pelgrom, M. J. M. (2010). *Analog-to-Digital Conversion*. Springer, 455 p.
- [59] Pelka, R., Kalisz, J. et Szplet, R. (1997). Nonlinearity Correction of the Integrated Time-to-Digital Converter with Direct Coding. *IEEE Transactions on Instrumentation and Measurement*, volume 46, numéro 2, p. 449–453.
- [60] Richardson, J., Walker, R., Grant, L., Stoppa, D., Borghetti, F., Charbon, E., Gersbach, M. et Henderson, R. K. (2009). A 32×32 50 ps resolution 10 bit time to digital converter array in 130 nm CMOS for time correlated imaging. Dans *2009. CICC'09. IEEE Custom Integrated Circuits Conference*. IEEE, p. 77–80.
- [61] Riley, T., Filiol, N., Du, Q. et Kostamovaara, J. (2003). Techniques for In-Band Phase Noise Reduction in Delta-Sigma Synthesizers. *IEEE Transactions on Circuits and Systems - II : Analog and Digital Signal Processing*, volume 50, numéro 11, p. 794–803.
- [62] Seifert, S. et Schaart, D. (2015). Improving the Time Resolution of TOF-PET Detectors by Double-Sided Readout. *IEEE Transactions on Nuclear Science*, volume 62, numéro 1, p. 3–11.

- [63] Seo, Y. H., Kim, J. S., Park, H. J. et Sim, J. Y. (2012). A 1.25 ps Resolution 8b Cyclic TDC in 0.13 μm CMOS. *Solid-State Circuits, IEEE Journal of*, volume 47, numéro 3, p. 736–743.
- [64] Souvestre, F. (2011). *Mesure laser de trajectoire par décomposition de la mesure locale et globale*. Thèse de doctorat, Université Pierre et Marie Curie, Paris, France, 159 p.
- [65] Staszewski, R., Vemulapalli, S., Vallur, P., Wallberg, J. et Balsara, P. (2006). 1.3 V 20 ps Time-to-Digital Converter for Frequency Synthesis in 90 nm CMOS. *IEEE Transactions on Circuits and Systems - II : Express Briefs*, volume 53, numéro 3, p. 220–224.
- [66] Tabacchini, V., Mettievier, G., Conti, M. et Russo, P. (2010). Improvement in signal-to-noise ratio at variable random fraction in TOF PET. Dans *2010 IEEE Nuclear Science Symposium Conference Record (NSS/MIC)*. IEEE, p. 2761–2764.
- [67] Technologies, K. (2015). *Keysight Technologies - Infiniium 90000 X-Series Oscilloscopes* (Rapport technique). Keysight Technologies, 37 p.
- [68] ThorLabs (2013). *ThorLabs*. http://www.thorlabs.com/images/TabImages/geiger_mode_dwg_300.png (page consultée le 10 janvier 2013).
- [69] Toh, Y. et McNeill, J. (2003). Single-ended to differential converter for multiple-stage single-ended ring oscillators. *IEEE Journal of Solid-State Circuits*, volume 38, numéro 1, p. 141–145.
- [70] Tétrault, M.-A., Therrien, A., Lamy, D., Boisvert, A., Fontaine, R. et Pratte, J.-F. (2015). Dark Count Impact for First Photon Discriminators for SPAD Digital Arrays in PET. *IEEE Transactions on Nuclear Science*, volume 62, numéro 3, p. 719–726.
- [71] Vercesi, L., Liscidini, A. et Castello, R. (2010). Two-dimensions vernier time-to-digital converter. *IEEE Journal of Solid-State Circuits*, volume 45, numéro 8, p. 1504–1512.
- [72] Villa, F., Bronzi, D., Zou, Y., Scarcella, C., Boso, G., Tisa, S., Tosi, A., Zappa, F., Durini, D., Weyers, S., Paschen, U. et Brockherde, W. (2014). CMOS SPADs with up to 500 μm diameter and 55 % detection efficiency at 420 nm. *Journal of Modern Optics*, volume 61, numéro 2, p. 102–115.
- [73] Villa, F., Lussana, R., Bronzi, D., Tisa, S., Tosi, A., Zappa, F., Mora, A., Durini, D., Weyers, S. et Brockherde, W. (2014). CMOS Imager With 1024 SPADs and TDCs for Single-Photon Timing and 3D Time-of-Flight. *IEEE Journal of Selected Topics in Quantum Electronics*, volume 20, numéro 6, p. 364–373.
- [74] Wakerly, J. F. (2005). *Digital design : Principles and Practices*, 4^e édition. Prentice Hall, 895 p.
- [75] Webster, E. A. G., Grant, L. A. et Henderson, R. K. (2012). A High-Performance Single-Photon Avalanche Diode in 130-nm CMOS Imaging Technology. *IEEE Electron Device Letters*, volume 33, numéro 11, p. 1589–1591.

- [76] Wernick, M. N. et Aarsvold, J. N. (2004). *Emission tomography : the Fundamentals of PET and SPECT*. Elsevier, 576 p.
- [77] Wu, T., Hanumolu, P., Mayaram, K. et Moon, U.-K. (2009). Method for a Constant Loop Bandwidth in LC-VCO PLL Frequency Synthesizers. *IEEE Journal of Solid-State Circuits*, volume 44, numéro 2, p. 427–435.
- [78] Yeom, J., Vinke, R., Pavlov, N., Bellis, S., Wall, L., O'Neill, K., Jackson, C. et Levin, C. (2013). Fast Timing Silicon Photomultipliers for Scintillation Detectors. *IEEE Photonics Technology Letters*, volume 25, numéro 14, p. 1309–1312.
- [79] Yousif, A. S. et Haslett, J. W. (2007). A Fine Resolution TDC Architecture for Next Generation PET Imaging. *IEEE Transactions on Nuclear Science*, volume 54, numéro 5, p. 1574–1582.
- [80] Yu, J., Dai, F. F. et Jaeger, R. C. (2010). A 12-Bit Vernier Ring Time-to-Digital Converter in 0.13 μm CMOS Technology. *IEEE Journal of Solid-State Circuits*, volume 45, numéro 4, p. 830–842.
- [81] Zappa, F., Tisa, S., Tosi, A. et Cova, S. (2007). Principles and features of single-photon avalanche diode arrays. *Sensors and Actuators A : Physical*, volume 140, numéro 1, p. 103 – 112.
- [82] Zhang, C. et Forbes, L. (2003). Simulation of timing jitter in ring oscillators. Dans *2003. Proceedings of the 15th Biennial University/Government/Industry Microelectronics Symposium*. IEEE, p. 356–359.
- [83] Zhang, C., Wang, X. et Forbes, L. (2004). Simulation technique for noise and timing jitter in electronic oscillators. *IEEE Proceedings - Circuits, Devices and Systems*, volume 151, numéro 2, p. 184–189.

